

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Kanji OTSUKA et al. :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: February 11, 2004 : Attorney Docket No. OKI.643  
For: SIGNAL TRANSMISSION APPARATUS AND INTERCONNECTION  
STRUCTURE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under  
the International Convention of the following Japanese application:

Appln. No. 2003-043652 filed February 21, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: February 11, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月21日

出 願 番 号

Application Number:

特願2003-043652

[ ST.10/C ]:

[ JP 2003-043652 ]

出 願 人

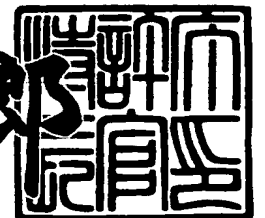
Applicant(s):

大塚 寛治  
宇佐美 保  
沖電気工業株式会社  
三洋電機株式会社  
シャープ株式会社  
ソニー株式会社  
株式会社東芝  
日本電気株式会社  
株式会社日立製作所  
富士通株式会社  
松下電器産業株式会社  
三菱電機株式会社  
ローム株式会社

2003年 7月 1日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3052097

【書類名】 特許願  
 【整理番号】 MA001404  
 【提出日】 平成15年 2月21日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H04L 25/02  
 H03K 19/0175

【発明者】  
 【住所又は居所】 東京都東大和市湖畔 2 - 1 0 7 4 - 3 8  
 【氏名】 大塚 寛治

【発明者】  
 【住所又は居所】 東京都国分寺市西町 2 - 3 8 - 4  
 【氏名】 宇佐美 保

【特許出願人】  
 【識別番号】 598042633  
 【氏名又は名称】 大塚 寛治

【特許出願人】  
 【識別番号】 598168807  
 【氏名又は名称】 宇佐美 保

【特許出願人】  
 【識別番号】 000000295  
 【氏名又は名称】 沖電気工業株式会社

【特許出願人】  
 【識別番号】 000001889  
 【氏名又は名称】 三洋電機株式会社

【特許出願人】  
 【識別番号】 000005049  
 【氏名又は名称】 シヤープ株式会社

【特許出願人】  
 【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社東芝

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【包括委任状番号】 0103117

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号伝送装置および配線構造

【特許請求の範囲】

【請求項 1】 R C 遅延が無視できない配線を伝送線路構造にしたものであって、送端に入力されたデジタル信号を伝送する信号伝送線路と、

上記デジタル信号を出力するインバータ構造のドライバと、

上記ドライバに電源供給する伝送線路であって、上記ドライバのオン抵抗と上記信号伝送線路の特性インピーダンスの合計をドライブ可能な特性インピーダンスの電源グランドペア伝送線路と、

上記信号伝送線路の受端を介して入力された上記デジタル信号を検知する差動アンプ構造のレシーバと、

上記信号伝送線路の送端と上記ドライバの間または上記信号伝送線路の受端に設けられ、上記送端と上記ドライバの間および上記受端にそれぞれ設けられ、入力された上記デジタル信号の直流成分を遮断し、広帯域交流成分を通過させる方向性カプラと

を備えた

ことを特徴とする信号伝送装置。

【請求項 2】 請求項 1 記載の信号伝送装置において、

上記ドライバ内のトランジスタの配線から上記カプラおよび上記信号伝送線路を介して上記レシーバ内のトランジスタの配線あるいはゲート電極までが、全て金属で構成されている

ことを特徴とする信号伝送装置。

【請求項 3】 請求項 1 記載の信号伝送装置において、

上記ドライバ内のトランジスタ配線から上記カプラおよび上記信号伝送線路を介して上記レシーバ内のトランジスタ配線までが、全て伝送線路を維持した配線構造になっている

ことを特徴とする信号伝送装置。

【請求項 4】 請求項 1 記載の信号伝送装置において、

上記カプラは、それぞれ所定長のエネルギー入力側のペア線とエネルギー通過側の

ペア線とを所定の間隔で近接させ、それぞれのペア線を誘電率の異なる材料中に配置した構造である

ことを特徴とする信号伝送装置。

【請求項 5】 請求項 4 記載の信号伝送装置において、

上記カブラは、上記エネルギー入力側のペア線を、上記エネルギー通過側のペア線および上記カブラの周辺配線が配置された絶縁材料よりも高誘電率の材料中に配置した構造である

ことを特徴とする信号伝送装置。

【請求項 6】 請求項 4 記載の信号伝送装置において、

上記カブラは、上記エネルギー入力側のペア線を、上記エネルギー通過側のペア線および上記カブラの周辺配線が配置された絶縁材料よりも低誘電率の材料中または空気中に配置した構造である

ことを特徴とする信号伝送装置。

【請求項 7】 請求項 1 記載の信号伝送装置において、

上記カブラが、上記受端と上記レシーバの間にのみ設けられていることを特徴とする信号伝送装置。

【請求項 8】 請求項 7 記載の信号伝送装置において、

上記受端のカブラは、エネルギー入力側のペア線の終端およびエネルギー通過側のペア線の始端がいずれも浮遊した開放端であることを特徴とする信号伝送装置。

【請求項 9】 請求項 1 記載の信号伝送装置において、

上記カブラが、上記ドライバと上記送端の間および上記受端にそれぞれ設けられていることを特徴とする信号伝送装置。

【請求項 10】 請求項 9 記載の信号伝送装置において、

上記受端のカブラが、上記受端と上記レシーバの間に設けられており、

上記送端のカブラと上記受端のカブラは、エネルギー入力側のペア線の終端およびエネルギー通過側のペア線の始端がいずれも浮遊した開放端である

ことを特徴とする信号伝送装置。

【請求項 11】 請求項 9 記載の信号伝送装置において、

上記レシーバが、上記受端に直接接続されており、

上記送端のカプラは、エネルギー入力側のペア線の終端およびエネルギー通過側のペア線の始端がいずれも浮遊した開放端であり、

上記受端のカプラは、エネルギー入力側のペア線の終端およびエネルギー通過側のペア線の始端がいずれも浮遊した開放端であり、上記エネルギー通過側のペア線の伝送方向の終端には多重反射防止の終端抵抗が挿入されている

ことを特徴とする信号伝送装置。

【請求項 1 2】 請求項 1 記載の信号伝送装置において、

上記カプラが、上記ドライバと上記送端の間にのみ設けられていることを特徴とする信号伝送装置。

【請求項 1 3】 請求項 1 1 記載の信号伝送装置において、

上記送端のカプラは、エネルギー入力側のペア線の終端およびエネルギー通過側のペア線の始端がいずれも浮遊した開放端であり、

上記受端には、上記レシーバが直接接続されるとともに、多重反射防止の終端抵抗が伝送方向の終端に挿入されている

ことを特徴とする信号伝送装置。

【請求項 1 4】 請求項 1 1 または 1 3 に記載の信号伝送装置において、

上記受端のカプラおよび上記終端抵抗が、金属で構成されことを特徴とする信号伝送装置。

【請求項 1 5】 請求項 1 記載の信号伝送装置において、

上記ドライバは、同じ P ウェル内に設けられた 2 つの NMOS トランジスタによって構成されたインバータである

ことを特徴とする信号伝送装置。

【請求項 1 6】 請求項 1 記載の信号伝送装置において、

上記ドライバは、

2 つの MOS トランジスタによって構成されたインバータと、

上記 MOS トランジスタのドレイン・ソース間容量をそれぞれポンプアップおよびポンプダウンする 2 つの MOS 反転バククタと

を有する

ことを特徴とする信号伝送装置。



【請求項 1 7】 請求項 1 記載の信号伝送装置において、  
上記レシーバの差動対になっている両入力トランジスタは、同じウェル内に設けられており、

上記ウェルは、サブストレートから電氣的に分離されている  
ことを特徴とする信号伝送装置。

【請求項 1 8】 請求項 2 記載の信号伝送装置において、  
上記レシーバの差動対になっている両入力 MOS トランジスタのバックゲートが、電流制御 MOS トランジスタのドレインに接続されていることを特徴とする信号伝送装置。

【請求項 1 9】 請求項 1 記載の信号伝送装置において、  
上記レシーバは、差動対になっている両入力トランジスタの後段にラッチ回路を有することを特徴とする信号伝送装置。

【請求項 2 0】 請求項 1 記載の信号伝送装置において、  
上記信号伝送線路は、送端から受端まで特性インピーダンスが同じ構造であることを特徴とする信号伝送装置。

【請求項 2 1】 請求項 1 記載の信号伝送装置において、  
上記信号伝送線路は、同じ誘電率の均質な絶縁材料中に配置されていることを特徴とする信号伝送装置。

【請求項 2 2】 請求項 1 記載の信号伝送装置において、  
上記信号伝送線路は、スタックトペア線路、ペアコプレーナ線路、またはガードコプレーナ線路である  
ことを特徴とする信号伝送装置。

【請求項 2 3】 請求項 1 記載の信号伝送装置において、  
上記信号伝送線路は、配線長を  $L$ 、正弦波の波長を  $\lambda$ 、配線の電磁波速度を  $v$ 、配線に流れる最高クロックパルス周波数を  $f$  として、

$$L \geq (1/40) \lambda = (1/40) (v/f)$$

である

ことを特徴とする信号伝送装置。

【請求項 2 4】 請求項 1 記載の信号伝送装置において、

上記伝送線路は、そのペア線路の対抗面間隔を  $d$ 、対抗面導体幅を  $w$ 、隣接対抗面の導体厚み  $t$ 、隣接間距離を  $s$  とすると、

$$2wd < ts$$

である

ことを特徴とする信号伝送装置。

【請求項 2 5】 請求項 1 記載の信号伝送装置において、

上記電源グランドペア伝送線路の特性インピーダンスを  $Z_{0p}$ 、上記信号伝送線路の特性インピーダンスを  $Z_{0s}$  とし、上記電源グランドペア伝送線路から  $n$  本の上記ドライバに電気エネルギーを供給するとき、

$$Z_{0p} < Z_{0s} / n$$

である

ことを特徴とする信号伝送装置。

【請求項 2 6】 請求項 1 記載の信号伝送装置において、上記ドライバ、信号伝送線路、上記カプラ、および上記レシーバが同じ半導体チップ内に設けられていることを特徴とする信号伝送装置。

【請求項 2 7】 請求項 1 記載の信号伝送装置において、

上記ドライバと上記レシーバとが、異なる半導体チップ内に設けられており、上記信号伝送線路および上記カプラによる配線構造が、両チップ間に渡って配置されている

ことを特徴とする信号伝送装置。

【請求項 2 8】 請求項 1 記載の信号伝送装置において、

上記送端および上記受端のそれぞれに、上記ドライバおよび上記レシーバが分岐されて設けられており、上記デジタル信号を双方向に伝送することを特徴とする信号伝送装置。

【請求項 2 9】 論理回路またはメモリ回路に設けられて、デジタル信号を伝送する配線構造であって、

RC 遅延が無視できない配線を伝送線路構造にしたものであって、デジタル信号を伝送する信号伝送線路と、

上記信号伝送線路の送端または受端に設けられ、あるいは上記送端および上記

受端にそれぞれ設けられ、上記デジタル信号の直流成分を遮断し、広帯域交流成分を通過させる方向性カプラと

を備えた

ことを特徴とする配線構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル（パルス）信号を伝送線路によって伝送する信号伝送装置に関し、特にデジタル信号を伝送する配線構造に関する。

【0002】

【従来の技術】

デジタル信号は、正弦波で表現でき（フーリエ級数）、直流成分から基本クロック周波数および高周波を含む複合波である。このようにデジタル信号は複合波であるため、これを伝送するのは、直流的にショートして伝送する伝送線路のみである。このため、従来のデジタル信号伝送装置は、伝送線路を介してドライバからレシーバまでを直流的に結線して伝送するものであった。このような構成は、広帯域波のデジタル信号には、単一周波数の正弦波あるいは狭帯域波の信号に用いられるフィルタ回路（LC回路）の適用が難しいことによるものである。

【0003】

【特許文献1】

特開平11-284126号公報

【特許文献2】

特開2000-174505号公報

【特許文献3】

特開2002-124635号公報

【非特許文献1】

Otsuka, et al, "Measurement Potential Swing by Electric Field on Package Transmission Lines," Proceedings of ICEP, pp490-495, 2001.4, Or, K.

Otsuka, et. Al, "Measurement Evidence of Mirror Potential Traveling on Transmission Lines," Technical Digest of 5th VLSI Packaging Workshop of Japan, pp27-28, 2000.12

【非特許文献2】

大塚寛治、須賀唯知「スタックトペア線路」、エレクトロニクス実装学会誌、Vol.4, No.7, pp556-561, 2001.11

【非特許文献3】

応用物理学会、「シリコンテクノロジー」、超高速多層配線技術の課題と展望特集、No.15, 2000.2.18 (東大、山上会館)

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来の信号伝送装置では、ドライバからレシーバまでが直流的に結線されているため、基本クロック周波数および高周波とともに、直流成分も伝送され、その直流電流によって余計に電力が消費されるという課題があった。

【0005】

本発明は、このような従来の課題を解消するためになされたものであり、直流成分の伝送による余計な消費電力の低減を図るものである。

【0006】

【課題を解決するための手段】

本発明は、伝送線路の送端または受端、あるいは送端および受端に、デジタル信号の直流成分を絶縁し、広帯域交流成分を通過させる方向性カプラを設け、広帯域交流成分のみを伝送することにより、消費電力の低減を実現するものである。

【0007】

GHz帯のパルスクロックを有するチップは、そのチップ内配線がRC遅延で長くできず、リピータ回路が多用されるようになっている。RCによる電力消費とリピータ回路の電力消費が無視できず、このエネルギーが電源グラウンドの揺らぎを誘発して、論理回路の誤動作の原因となるだけでなく、電磁放射障害(EMI

）の原因となっている。さらには、電力を消費することで、モバイル機器に使用する制限となるだけでなく、放熱構造を設けるという構造的複雑度を増すことになる。チップ内での長い配線は、機能ブロック間のコミュニケーションバスが主体である。本発明は、このようなバスを主体的に取り上げたものである。

## 【0008】

バスのドライバには、例えばCMOSインバータが基本回路として使用される。本発明は、このような最も単純なインバータやバッファで構成したドライバを使用し、何らの新しい回路や新しい製造プロセスを必要としないで、かつ技術の進歩とともに不変的に適用できるものである。

## 【0009】

チップ内の機能ブロック間の配線には、例えば分布定数回路的に取り扱われる伝送線路が使用されている。もしも電源が完全であれば、この伝送線路の長さのみが遅延時間を支配し、あるビット幅（例えば64 [ビット]）の信号のクロックに対するスキューのほとんどない設計が可能になるだけでなく、クロック配線もHツリー伝送線路化で数 [ps] 以下のスキューで分配が可能である。本発明は、当然にこの伝送線路を使用する。

## 【0010】

理想的な伝送線路は、電磁エネルギーがその中に閉じ込められているため、RC遅延で現れる積分回路的な鈍りは0となる。線路の直流抵抗分だけ最大振幅がオームの法則に従って低くなるが、波形の鈍りがないため、その遅延はほとんど無視できるだけでなく、ビット幅の線路が同じ構造と寸法であれば事実上のスキューは0となる。

## 【0011】

しかし、電源の供給力とグランドの吸引力がそれぞれのインバータで異なっていれば、その電源能力に応じたインバータスイッチしかできず、波形が個々に違ったものになり、スキューを伴うことになるだけでなく、余分な高調波が乗り、共振による特異現象が起こることになる。このため、電源グランドには、例えばこれらをペアにした伝送線路（電源グランドペア伝送線路）が使用される。

## 【0012】

本発明の第1の要点は、RC遅延が無視できない長い配線を伝送線路構造にするだけではなく、ドライバトランジスタのオン抵抗を高くし、それに見合う特性インピーダンスの電源グランドペア伝送線路を使用することにある。

## 【0013】

伝送線路は、パイプの太さが決められた水道パイプのようなもので、不連続点においてエネルギー反射が起こる。不連続点で反射して戻ったエネルギーが戻り側にある不連続点で再び反射して多重反射を繰り返す、共振などを起こすと、全く想像がつかないような波形となってしまふ。

## 【0014】

本発明の第2の要点は、デジタル信号を送送する伝送線路（信号伝送線路）が、始端（送端）から終端（受端）まで同じパイプの太さ、つまり始端から終端まで特性インピーダンスが同じ構造であることを前提とし、直流電流を遮断しながら反射防止の工夫がなされていることにある。

## 【0015】

公知の反射防止方法には4つの方法がある。第1の方法は、基板でよく用いられているダンピング抵抗をドライバ端に挿入する方法である。第2の方法は、ドライバのオン抵抗を伝送線路の特性インピーダンスと同じに設計する方法である。第3の方法は、双方向バス構造にあって両サイドのドライバのオン抵抗を伝送線路のそれと同じにする方法（付随的に両サイドにダンピング抵抗を挿入した構造も含む）である。第4の方法は、理想的なものであり、整合した終端抵抗を伝送線路の終端に設ける方法であるが、常にオン電流が流れる欠点を有していて、従来嫌われていた方法である。これらの反射防止方法を、実装基板上ではなく、チップ内部バスに使用することが上記第2の要点の具体的要点である。さらに、本発明は、上記4つの反射防止方法に加え、第5の反射防止方法として、カプラを介して終端抵抗を伝送線路の終端に設ける方法を提案する。

## 【0016】

本発明の第3の要点は、ドライバから配線につながり、さらに配線からレシーバにつながる構造を、その出発点から終端点まで、電磁波速度で伝送することができる完全な伝送線路とし、その伝送線路の両端が直流的に遮断されていること

である。

【0017】

上記第3の要点についての2つの具体的要点を以下に説明する。金属は電磁波速度で信号が伝送されるが、半導体はキャリアの移動度で信号が伝送されて電磁波速度とならない。このため、第1の具体的要点は、トランジスタのコンタクト部から出た線路の全てを金属で構成し、ポリシリコンや例えばシリサイドなどの金属化合物を使用しないことである。要すれば、ゲート電極も金属であることが望ましい。デバイス平面構造と配線層構造の設計ガイドは、電磁波速度で伝送することができる伝送線路ありきから出発するもので、トランジスタ配置はそれに従属するものである。上記第3の要点についての第2の具体的要点は、伝送線路の片端または両端が方向性カプラでドライバ端またはレシーバ端につながっていることである。

【0018】

これら2つの具体的要点により、10 [mm] の長さの配線で数10 [GHz] の周波数を伝送ことができ、インバータやバッファのスイッチング能力の将来に対して十分対応できるバスシステムが構築できる。

【0019】

【発明の実施の形態】

図1は本発明の実施の形態1（受信端シングルカプラ方式）の構成図、図2は本発明の実施の形態2（ダブルカプラ方式）の構成図、図3は本発明の実施の形態3（終端抵抗型ダブルカプラ方式）の構成図、図4は本発明の実施の形態4（送信端シングルカプラ方式）の構成図、図5は本発明の実施の形態5の構成図である。

【0020】

図1の実施の形態1（受信端シングルカプラ方式）の信号伝送装置は、信号伝送線路1と、ドライバ2と、電源グランド伝送線路3と、レシーバ4と、方向性カプラ5aとを備えている。

【0021】

実施の形態1の信号伝送装置では、ドライバ2は信号伝送線路1の送端に直接

接続されており、信号伝送線路 1 とレシーバ 4 の間には方向性カプラ 5 a が挿入されている。

#### 【0022】

信号伝送線路 1 は、RC 遅延が無視できない長いペア配線を伝送線路構造にしたものであって、送端から受端にデジタル信号を伝送する。

#### 【0023】

ドライバ 2 は、PMOS トランジスタ P 1 と NMOS トランジスタ N 1 とによって構成された CMOS インバータである。電源側 PMOS トランジスタ P 1 およびグランド側 NMOS トランジスタ N 1 のゲート電極には、信号伝送線路 1 をドライブするデジタル信号が入力される。P 1 および N 1 のドレイン電極（ドライバ 2 の出力）は、信号伝送線路 1 の信号側配線の送端に接続されている。また、N 1 のソース電極は、LSI チップのサブストレートグランド（基準グランド）に接続されるとともに、信号伝送線路 1 のグランド側配線の送端に接続されている。

#### 【0024】

電源グランドペア伝送線路 3 は、ドライバ 2 から電源 V d d の元電源回路または近接したバイパスキャパシタまでに配置された伝送線路であって、ドライバ 2 に電源を供給する。電源グランドペア伝送線路 3 の電源側配線の両端は、ドライバ 2 の電源側 PMOS トランジスタ P 1 のソース電極、および元電源回路またはバイパスキャパシタの電源側端子にそれぞれ接続されており、電源グランドペア伝送線路 3 の他方の配線は、LSI チップのサブストレートグランド（基準グランド）になっている。つまり、電源グランドペア伝送線路 3 のグランド側配線の両端は、ドライバ 2 の配置位置、および元電源回路またはバイパスキャパシタの配置位置において、それぞれ基準グランドに接続されている。

#### 【0025】

レシーバ 4 は、NMOS トランジスタ N 2, N 3, N 4 と、抵抗 R 1, R 2 とを有する。差動対を構成する入力 NMOS トランジスタ N 3, N 4 のドレイン電極は、それぞれ抵抗 R 1, R 2 を介して電源 V d d に接続されている。また、電流制御 NMOS トランジスタ N 2 のドレイン電極は、N 3 および N 4 のソース電



極に接続されており、N 2 のソース電極は、L S I チップのサブストレータグラウンド（基準グラウンド）に接続されている。

## 【 0 0 2 6 】

カプラ 5 a は、それぞれ所定長のエネルギー入力側ペア線とエネルギー通過側ペア線とを近接させ、それぞれのペア線を誘電率の異なる材料中に配置した小型で簡単な構造であって、入力されたデジタル信号の直流成分を遮断し、広帯域交流成分を通過させる。カプラ 5 a のエネルギー入力側ペア線の始端は信号伝送線路 1 の送端に接続されており、終端は浮遊した開放端になっている。また、カプラ 5 a のエネルギー通過側ペア線の終端はレシーバ 4 の入力 N M O S トランジスタ N 3 , N 4 のゲート電極にそれぞれ接続されており、始端は浮遊した開放端になっている。

## 【 0 0 2 7 】

図 2 の実施の形態 2（ダブルカプラ方式）の信号伝送装置は、信号伝送線路 1 と、ドライバ 2 と、電源グラウンド伝送線路 3 と、レシーバ 4 と、方向性カプラ 5 a , 5 b とを備えている。なお、図 2 において、図 1 と同じものには同じ符号を付してある。

## 【 0 0 2 8 】

実施の形態 2 の信号伝送装置では、ドライバ 2 と信号伝送線路 1 の送端の間に方向性カプラ 5 b が挿入されており、信号伝送線路 1 とレシーバ 4 の間に方向性カプラ 5 a が挿入されている。つまり、この実施の形態 2 は、上記実施の形態 1 において、ドライバ 2 と送端の間に方向性カプラ 5 b を設けたものである。

## 【 0 0 2 9 】

カプラ 5 b は、例えばカプラ 5 a と同様の小型で簡単な構造である。カプラ 5 b のエネルギー入力側ペア線の始端はドライバ 2 の出力および基準グラウンドに接続されており、終端は浮遊した開放端になっている。また、カプラ 5 b のエネルギー通過側ペア線の終端は信号伝送線路 1 の送端に接続されており、始端は浮遊した開放端になっている。

## 【 0 0 3 0 】

図 3 の実施の形態 3（終端抵抗型ダブルカプラ方式）の信号伝送装置は、信号

伝送線路 1 と、ドライバ 2 と、電源グランド伝送線路 3 と、レシーバ 4 と、方向性カプラ 5 b, 5 c と、終端抵抗 6 a とを備えている。なお、図 3 において、図 1 と同じものには同じ符号を付してある。

#### 【 0 0 3 1 】

実施の形態 3 の信号伝送装置では、ドライバ 2 と信号伝送線路 1 の送端の間には方向性カプラ 5 b が挿入されており、レシーバ 4 は信号伝送線路 1 の受端に直接されている。また、信号伝送線路 1 の受端には、方向性カプラ 5 c が設けられており、この方向性カプラ 5 c のエネルギー通過側ペア線の終端には、終端抵抗 6 a が挿入されている。

#### 【 0 0 3 2 】

カプラ 5 c は、例えばカプラ 5 a と同様の小型で簡単な構造である。カプラ 5 c のエネルギー入力側ペア線の始端は信号伝送線路 1 の受端に接続されており、終端は浮遊した開放端になっている。また、カプラ 5 c のエネルギー通過側ペア線の終端間には終端抵抗 6 a が設けられており、始端は浮遊した開放端になっている。

#### 【 0 0 3 3 】

図 4 の実施の形態 4（送信端シングルカプラ方式）は、信号伝送線路 1 と、ドライバ 2 と、電源グランド伝送線路 3 と、レシーバ 4 と、方向性カプラ 5 b と、終端抵抗 6 b とを備えている。なお、図 4 において、図 3 と同じものには同じ符号を付してある。

#### 【 0 0 3 4 】

実施の形態 4 の信号伝送装置では、上記実施の形態 3 と同様に、ドライバ 2 と信号伝送線路 1 の送端の間には方向性カプラ 5 b が挿入されており、レシーバ 4 は信号伝送線路 1 の受端に直接されている。しかし、この実施の形態 4 では、信号伝送線路 1 の受端には方向性カプラが設けられておらず、信号伝送線路 1 の受端（終端）には、終端抵抗 6 b が挿入されている。

#### 【 0 0 3 5 】

図 5 の実施の形態 5 は、信号伝送線路 1 と、ドライバ 1 2 と、電源グランド伝送線路 3 と、レシーバ 1 4 と、方向性カプラ 5 b, 5 c と、終端抵抗 6 a とを備

えている。なお、図5において、図3と同じものには同じ符号を付してある。

#### 【0036】

ドライバ12は、インバータを構成するNMOSトランジスタN11、N12と、NMOS反転バラクタB1、B2と、抵抗R10とを有する。電源側NMOSトランジスタN11およびグランド側NMOSトランジスタN12のゲート電極には、信号伝送線路1をドライブする差動デジタル信号がそれぞれ入力される。N11のソース電極およびN12のドレイン電極は、ドライバ12の出力として信号伝送線路1の信号側配線の送端に接続されている。また、N11のドレイン電極は、抵抗R10を介して電源グランドペア伝送線路3の電源側配線に接続されており、N12のソース電極は、LSIチップのサブストレートグランド（基準グランド）に接続されている。B1のソース電極およびドレイン電極は、N11のドレイン電極に接続され、B1のゲート電極は、N12のゲート電極に接続されている。また、B2のソース電極およびドレイン電極は、N12のソース電極に接続され、B2のゲート電極は、N11のゲート電極に接続されている。

#### 【0037】

レシーバ14は、NMOSトランジスタN2、N3、N4と、抵抗R1、R2と、ラッチ回路F1とを有する。このレシーバ14は、図3のレシーバ4において、差動対を構成する入力NMOSトランジスタN3、N4の後段にラッチ回路F1を設けたものである。

#### 【0038】

比較的長いチップ内配線のRC遅延を防止する方法としては、例えば上記非特許文献3に記載の方法がある。上記非特許文献3では、RC遅延が無視できない長い配線（グローバル配線）は、配線長を $L_{Global}$ 、正弦波（基本波）の波長を $\lambda$ 、その配線の電磁波速度を $v$ 、その配線に流れる最高クロックパルス周波数を $f$ として、

$$L_{Global} \geq (1/40) \lambda = (1/40) (v/f) \dots (1)$$

によって定義される。

#### 【0039】

上記(1)式の電磁波速度  $v$  は、 $c_0$  を真空中の光の速度、 $\mu_r$  を線路空間を囲む絶縁材料の比透磁率、 $\epsilon_r$  を上記絶縁材料の比誘電率として、

$$v = c_0 / \sqrt{(\mu_r \epsilon_r)} \cdots (2)$$

で表される。

#### 【0040】

図6はパルス(デジタル)信号を説明する図である。上記(1)式の係数「 $1/40$ 」の意味を図6を用いて以下に説明する。図6に示すように、パルス(デジタル)信号は、基本波(正弦波)とともに高調波(正弦波)を含む複合波であり、基本波に対して3倍の高調波と5倍の高調波を加算すると概略のパルスになり、さらに7倍、9倍、11倍の高調波を加算するとほぼ完全なパルスとなる。逆に、パルスはそのパルス周波数よりも1桁高い正弦波の高調波までを含む複合波であると言えるため、1 [GHz] のパルスであれば、10 [GHz] の高調波までを考慮の対象とする必要がある。また、共振は、音叉のように  $(1/4)\lambda$  が最小共振周波数となる。

#### 【0041】

従って、1 [GHz] のパルスであれば、信号配線の長さが10 [GHz] の正弦波の波長  $(1/10)\lambda$  の  $1/4$  の波長である  $(1/40)\lambda$  以上の場合には、分布定数回路として取り扱う伝送線路にしなければならないことになる。なお、上記非特許文献3では、 $(1/40)\lambda$  の長さに安全度  $\alpha$  を考慮した長さ  $(1/40)\lambda - \alpha$  の配線を、従来の集中定数回路で取り扱う配線(ローカル配線)の限界としている。

#### 【0042】

本発明は、上記(1)式によって定義されるグローバル配線(RC遅延が無視できない周波数と構造を有する信号配線)と、そのドライバおよびレシーバに関するものである。また、クロック周波数は、例えば数10 [GHz] までのGHz帯を対象とする。

#### 【0043】

図7はチップ内のグローバル配線の最小値(チップ内配線の周波数に対する伝送線路にすべき長さの最小値)を示す図である。図7では、パルス周波数  $f$  およ

び電磁波速度  $v$  ごとに、グローバル配線の最小値を示してある。

【0044】

電気エネルギーを伝えるには、例えば家庭用電力線のように、基本的に2本の線路が必要である。この線路は、水道パイプの太さに比例すると同様なコンダクタンスを持っている。このコンダクタンスの逆数は、特性インピーダンス  $Z_0$  である。

【0045】

その太さの物理は、線路中の単位長さあたりのインダクタンス  $L_0$  とキャパシタンス  $C_0$  に蓄えられるエネルギーに相当するものである。周波数に応じてこのエネルギーを出し入れする回数が多くなるため、交流の抵抗であるインピーダンス  $Z$  となる。このインピーダンス  $Z$  は、直流抵抗やペア線路間の漏洩コンダクタンスのような熱エネルギーに変換する要素と異なり、エネルギーを失わないで時間遅れで放出することから、虚数として取り扱う。このインピーダンス  $Z$  は、

$$Z = j \omega L_0 \cdots (3a)$$

$$Z = 1 / (j \omega C_0) \cdots (3b)$$

と表すことができる。

【0046】

上記(3a), (3b)式に示すように、線路中で単位長さあたり2つの要素が同時に存在するため、その2乗平均が線路の特性インピーダンス  $Z_0$  となり、特性インピーダンス  $Z_0$  は、

$$Z_0 = \sqrt{(j \omega L_0 / j \omega C_0)} = \sqrt{(L_0 / C_0)} \cdots (4)$$

で表される。

【0047】

上記(4)式に示すように、虚数  $j$  と角周波数  $\omega$  と単位長さという3つの項が消えて、特性インピーダンス  $Z_0$  は、長さの規定も周波数依存性もない実数ということになる。短い線路でも、無限に長い線路でも特性インピーダンス  $Z_0$  は同じであるという特殊な物理概念となる。端的に言えば、特性インピーダンス  $Z_0$  は、線路の間口の太さを決めているだけに過ぎないということになる。

【0048】

集中定数回路の理論での普遍的な誤解は、線路もLCのネットであるため、LCネットを分布定数的に配慮する必要があるとして、RC遅延の問題を本質的に回避できないとしていることである。伝送線路はRC遅延とは全く異なった電磁現象物理の世界であり、RC遅延は回避できるということを理解したい。

## 【0049】

本発明は、チップ内にあるいはチップ間に渡ってグローバル配線を有する回路全体を伝送線路とし、エネルギー伝達に支障のない構成を構築するもの、比喻で表すならば河川からの取り込み経路を含む水道局のパイプ・バルブシステム（伝送線路・トランジスタシステム）を構築するものである。

## 【0050】

図8は従来のデジタル信号伝送回路（シングルエンド型）の構成図である。図8において、信号線は1本しか配線されていないが、電気エネルギーを通すためには物理原則として、絶対に2本の線が必要で、意識されていないグランド線か電源線がこの役割を果たしている。

## 【0051】

図9は従来の他のデジタル信号伝送回路（差動型）の構成図である。図9の従来回路は、高速伝送に適していると言われており、近年多く取り入れられている差動信号を高速で伝送する回路であって、図9（a）はCML（Current Mode Logic）型差動回路、図9（b）はLVDS（Low Voltage Differential Signaling）型差動回路である。

## 【0052】

差動信号は、本来エネルギー的にはペア線路を形成するものであるが、図9の従来回路では、装置間の基準電圧レベルを合わせるためにグランドを参照した伝送線路となっている。3相交流的な配線となっているため、そのカップリング係数を意識した終端抵抗を配置しなければならないが、これがうまく守られていない場合が多い。これらの差動回路の大きな欠点は、トランジスタ特性ばらつきのために、差動信号そのものにスキューが存在することで、遷移時に大きなスパイク電流を伴うことになり、EMIの問題を生じることである。さらに、トランジスタ数が2倍になるという欠点もある。

## 【 0 0 5 3 】

本発明は、図 8 に示す従来のシングルエンド信号を、差動で動作させる単純な構造を提案し、この単純な構造を用いてエネルギー伝達に支障のない構成を構築するものである。

## 【 0 0 5 4 】

図 1 から図 5 までに示す本発明の実施の形態において、方向性カプラ 5 ( 5 a , 5 b , 5 c ) は、直流電流を遮断し、広帯域の交流電流を通過させながら、多重反射を防止するために工夫された回路である。

## 【 0 0 5 5 】

図 1 の実施の形態 1 (受信端シングルカプラ方式) は、最も単純な回路構成であり、信号伝送線路 1 にチャージする電流が流れる。しかしながら、信号伝送線路 1 の終端は、カプラ 5 a の入力端 (エネルギー入力側) と出力端 (エネルギー通過側) の両者ともに解放であり、保持するための直流電流は流れない。カプラ出力端では移動した電気エネルギーがそのまま逃げ道がなく、メモリのごとくチャージを保持する。信号伝送線路 1 が短いときは、この実施の形態 1 の構成が理想である。

## 【 0 0 5 6 】

図 2 の実施の形態 2 (ダブルカプラ方式) は、信号伝送線路 1 が長いときに、信号伝送線路にチャージする直流電流をできるだけ少なくする回路方式である。信号伝送線路 1 の送端に設けた方向性カプラ 5 b によって信号伝送線路および受信回路に直流成分が流れることを防止し、広帯域の交流成分のみを信号伝送線路 1 にエネルギーとして流す回路工夫である。信号伝送線路は電磁波を一方向に移送する役目だけをつかさどり、信号伝送線路内に電荷を充満することがない。レシーバ 4 は、実施の形態 1 と同様に、メモリのようにチャージを保持することができる。

## 【 0 0 5 7 】

図 3 の実施の形態 3 (終端抵抗型ダブルカプラ方式) は、遷移信号のエネルギーのみでレシーバ 4 を動作させ、反転信号でレシーバ 4 を反動させる回路方式である。カプラ 5 c の出力端 (エネルギー通過側) に終端抵抗 6 a が挿入されており、

この終端抵抗によって電荷が瞬時放電されることから、反転時のエネルギー衝突が避けられる（遷移エネルギーの発熱が均質化される）。

## 【0058】

図4の実施の形態4（送信端シングルカップラ方式）は、実施の形態3において、信号伝送線路1が光速性能に良質なときの簡易な回路方式である。信号伝送線路1の送端に設けられたカップラ5bは、例えば100 [MHz] から数10 [GHz] までの高周波を通す平滑なハイパスフィルタである。

## 【0059】

実施の形態1から4までにおいて、図8の従来回路と同様のインバータ1段のドライバ2から出力される信号は、グランド線とセットになって信号伝送線路1を形成し、伝送するときは信号線とグランド線には相補信号が通ることになる（非特許文献1，2参照）。そのインピーダンスは、例えば50 [ $\Omega$ ] から75 [ $\Omega$ ] である。このことは、実施の形態5のドライバ12についても同様である。

## 【0060】

インバータ内では、グランドは、LSIのサブストレータグランド（基準グランド）である。そこを出発したグランド線は、伝送中に信号線とカップリングして、基準グランドとは異なる相補信号となって、独立した動きとなる。この物理は、電磁波伝送に基づくものであり、集中定数回路では生まれない概念である。この信号線の信号およびグランド線の相補信号は、信号伝送線路1の受端終端では差動信号であり、差動レシーバで受けることができる。

## 【0061】

信号伝送線路1が電磁氣的に閉じていれば伝送中のノイズは防止できるが、要すれば、レシーバ4および14の差動対の入力MOSトランジスタN3，N4は、同じウェル構造の中に設けられており、このウェル構造がサブストレータグランドにつながっていない（サブストレータグランドから電氣的に分離されている）ことが望ましい。これによって、コモンモードノイズが載って基準電位からずれても、同じウェル構造の中で正しい電位差を検知することができるため、グランドと無関係に信号を正しく受信することができる。

## 【0062】



さらに、差動対の入力MOSトランジスタを、サブストレータグラウンドにつながらない同じウェル中に設けた上記構造において、大きな振動によるラッチアップを防止する必要があるときは、図1から図4までのレシーバ4および図5のレシーバ14に点線で示したように、差動対の入力MOSトランジスタN3, N4のゲート下接続（バックゲート）を、電流制御MOSトランジスタN2のドレインに接続する。なお、SOIなどのラッチアップを生じない構造では、この接続は不要であることは言うまでもない。

## 【0063】

図1から図5までに電源グラウンドペア伝送線路3として示すように、電源V<sub>dd</sub>はグラウンドとのペア線路になっており、ドライバ2, 12のインバータのトランジスタオン抵抗を500 [Ω] から1 [kΩ] であるとし、信号伝送線路1の特性インピーダンスZ<sub>0s</sub>を50 [Ω] であるとする、信号振幅v<sub>s</sub>は、

$$v_s = (50 / 550) \times V_{dd} \text{ から } (50 / 1050) \times V_{dd} \dots (5)$$

となる。レシーバ4, 14は、上記(5)式の信号振幅v<sub>s</sub>のレベルを検知するセンスアンプとなり、図1から図5までに示すような差動回路（差動アンプ構造）が望ましい。

## 【0064】

10 [GHz] のパルス信号（デジタル信号）を考えると、電圧の立上り時間t<sub>r</sub>および立下り時間t<sub>f</sub>はそれぞれ35 [ps] が最大であり、通常これより短い。このような高速変化では、伝送線路カプラ（エネルギー入力側ペア線路およびエネルギー通過側ペア線路で構成された方向性カプラ）を用いて、直流遮断フィルタの機能で、広帯域の高調波を含むパルス信号を伝えることができる。このようなパルス信号、特にCAS, RAS, CSなどのイネーブルやアクナレッジの直流成分が多い制御信号の電荷量がカプラを通過すれば、レシーバであるセンスアンプのゲートチャージに十分な電荷量となり、信号が受信でき、これに続くラッチ回路F1（図5のレシーバ14参照）で信号を保持できる。

## 【0065】

図9の従来回路のように、終端抵抗等の抵抗が伝送線路の受端終端に直接接続

されていると、直流成分の多い制御信号は常に電流を消費し、集中定数回路を基本とするチップデバイスでは望ましくない。高調波の波長が図 7 の線路長より短くなったときは、反射を防止する必要があることから終端抵抗が必然であるが、余分な直流成分を熱エネルギーにする必要はない。このことが直流成分を遮断するカプラの挿入理由であり、本発明の基本構成である。

## 【 0 0 6 6 】

本発明の実施の形態では、電磁波速度で処理するために、ドライバ 2, 1 2 内のインバータのトランジスタの配線からレシーバ 4, 1 4 内の入力トランジスタの配線（望ましくは入力トランジスタのゲート電極）までの配線構造であって、信号伝送線路 1、カプラ 5（5 a, 5 b, 5 c）、および終端抵抗 6（6 a, 6 b）を含むものが、全て金属で作られている。ポリ結晶の半導体の抵抗や線路は、その電荷移動速度が飽和電界をかけたときに  $5 \times 10^4$  [m/s] 程度であり、電磁波速度に対して 3 桁も小さいことから使用できない。

## 【 0 0 6 7 】

また、本発明の実施の形態では、ドライバ 2, 1 2 内のインバータのトランジスタの配線からレシーバ 4, 1 4 内の入力トランジスタの配線（望ましくは入力トランジスタのゲート電極）までの配線構造であって、信号伝送線路 1 およびカプラ 5（5 a, 5 b, 5 c）を含むものが、全て伝送線路を維持した配線構造になっている。

## 【 0 0 6 8 】

図 1 0 は伝送線路の電気エネルギーの移動機構を説明する図である。図 1 0 を用いて信号伝送線路でのエネルギーチャージについて以下に説明する。ドライバの電源  $V_{dd}$  につながった側のトランジスタがオンした瞬間の負荷は、トランジスタのオン抵抗  $R_{on}$  と、信号伝送線路の特性インピーダンス  $Z_{0s}$  の合計である。

$$i = V_{dd} / (R_{on} + Z_{0s}) \cdots (6)$$

上記 (6) 式の電流  $i$  が、このトランジスタのオンしている時間  $t_{on}$  の間流れているか、伝送遅れ時間  $t_{pd}$  の間、信号伝送線路に流れている。  $t_{on}$  と  $t_{pd}$  の内のいずれか短い時間が律則条件になる。

## 【 0 0 6 9 】

時間  $t_{pd}$  が経過して、信号エネルギーが終端抵抗に到達したとき、伝送線路というパイプに水が満杯になったごとく、 $Z_{0s}$  という負荷は消え、終端抵抗の抵抗値  $R_L$  に取って代わる。この場合、 $Z_{0s} = R_L$  のため、電流は変わらず、結局は1回のオンパルス時間  $t_{on}$  で支配される下記(7)式の電荷量  $Q$  が得られる。

$$Q = i \times t_{on} \dots (7)$$

【0070】

次に、信号伝送線路では電磁波ベクトルに従った電流のために終端抵抗に向かっていることに注目しながら、入力信号がハイに遷移して、ドライバのグランド側のトランジスタがオンし、電源側のトランジスタがオフしたときを考える。信号レベルがグランドレベルになるために  $i = 0$  となるが、パイプに詰まっている水が終端に向けて運動エネルギーを持っていると同様に、信号伝送線路内の電荷は全てそのまま進行して終端抵抗で熱エネルギーに変換される。グランドにつながったトランジスタはオンするが電荷は何も流れず、見かけ上動作したことになる。

【0071】

このように、図10の回路では、パルスオフ信号にはエネルギーが不要となり、図9の差動型の従来回路に比べてエネルギーが節約できる。しかしながら、図8の従来回路では負荷容量  $C_L$  のみが必要電荷量(エネルギー)  $Q = C_L \times V_{dd}$  であるので、図10の回路は、図8の従来回路よりもエネルギー的に劣る。本発明は、この点をカプラ挿入によって改善している。

【0072】

電源グランドペア伝送線路について以下に説明する。図9の従来の差動回路はカレントスイッチになっており、理想であれば、常に直流が流れ、電源グランドの揺らぎは生じない。これが、特に電源・グランドを補強しなくても高速信号では理想であるといわれる理由である。しかし、スイッチングするときはトランジスタのドレイン-ソース間の全容量とドレイン-サブストレートグランド間の容量が電位変化で反転し、ディスチャージ・チャージがなされ、非常に急峻なスパイク電流が流れる。インダクタンスを持ったバイパスキャパシタではこれを防止

することはできない。

【0073】

図9において、例えば20 [GHz] のパルスでは、立上り時間  $t_r$  = 立下り時間  $t_f$  = 17.5 [ps] 以下を実現しなければならない。例えば電源  $V_{dd} = 1$  [V]、 $R_{on} + R_L = 950 + 50$  [ $\Omega$ ] とすると、電流  $i = 1$  [mA] (振幅0.1 [V]) となる。仮にバイパスキャパシタのインダクタンスを  $L_c = 100$  [pH] という小さな値としても、電源電圧ドロップ  $V_{drop}$  は、

$$\begin{aligned} V_{drop} &= L_c \times (di/dt) \cdots (8a) \\ &= 100 \text{ [pH]} \times 1 \text{ [mA]} / 17.5 \text{ [ps]} \\ &= 5.7 \text{ [mV]} \cdots (8b) \end{aligned}$$

である。このことは、10個のドライバを1本の電源で供給することはできないことを意味する。電源電圧ドロップが57 [mV] となるからである。これ以外に、カレントスイッチのスキューやLVDSのようにNMOSとPMOSの動作特性の違いなどがあれば、もはや電源グラウンドの揺らぎは收拾がつかないものとなる。

【0074】

これに対し、本発明の電源グラウンドは、実質的に浮遊容量やインダクタンスのない伝送線路を使用することで、図10に示すような特性インピーダンス  $Z_{op}$  の電源グラウンドペア伝送線路（図1から図5までに示す電源グラウンドペア伝送線路3）になっている。

【0075】

この特性インピーダンスの  $Z_{op}$  電源グラウンドペア伝送線路から供給される最大許容電流  $I_{max}$  は、

$$I_{max} = V_{dd} / Z_{op} \cdots (9)$$

である。例えば電源  $V_{dd} = 1$  [V]、 $Z_{op} = 25$  [ $\Omega$ ] とすると、 $I_{max} = 40$  [mA] という電流が周波数特性を持たずに瞬時に供給可能となる。

【0076】

パイプに水が詰まっている状態から瞬時にある速度で移動することはできない現象とは異なり、電磁波速度は光の速度 ( $1.5 \sim 3 \times 10^8$  [m/s]) であ

り、電荷を引き抜くトランジスタはそれよりも3桁も遅いキャリア速度（電子の飽和電界速度で  $5 \times 10^4$  [m/s]）で容量をチャージするため、瞬時供給という表現が可能である。

【0077】

しかし、それを得た瞬間に慣性が生まれる。これを無視できるようにするためには、比喩で説明すると、水道配管システムは幹線パイプの容量に対して、家庭用引込み線は非常に細いパイプで、実質的に幹線を乱さない比率となっているようにすればよい。

【0078】

図10において、ドライバと終端を合計した抵抗負荷（電源から見た負荷抵抗）RDは、ドライバであるインバータのトランジスタオン抵抗を  $R_{on}$ 、信号伝送線路の特性インピーダンスを  $Z_{os}$  とすると、

$$RD = R_{on} + Z_{os} \dots (10)$$

である。例えば  $R_{on} = 500 \sim 1$  [k $\Omega$ ]、 $Z_{os} = 50$  [ $\Omega$ ] とすると、 $RD = 550 \sim 1050$  [ $\Omega$ ] である。

【0079】

図10において、例えば  $V_{dd} = 1$  [V]、 $RD = R_{on} + R_L = 950 + 50$  [ $\Omega$ ] とすると、 $i = 1$  [mA]（振幅0.1 [V]）となり、上記最大許容電流  $I_{max} = 40$  [mA] の2.5 [%] の消費となる。10個のドライバを駆動すると、 $I_{max}$  の25 [%] の消費となる。無視できない25 [%] の乱れとなるが、トランジスタの3桁も遅いキャリア速度の遅れが乱れを緩和し、問題がない。

【0080】

1つの電源グランドペア伝送線路でn本の信号ドライバに電気エネルギーを供給する場合、電源グランドペア線路の特性インピーダンス  $Z_{op}$  は、

$$Z_{op} < RD / n \dots (11)$$

という条件を満たせば、十分である。なお、このことは、すでに上記特許文献1, 2に記載されている。

【0081】

このように、本発明の電源グランドペア伝送線路は、ドライバオン抵抗と信号伝送線路の特性インピーダンスの合計を十分ドライブ可能な低特性インピーダンスの電源グランドペア線路が元電源に向かって延長され、元電源回路または近接バイパスキャパシタまで延長されている構造の伝送線路である。

## 【 0 0 8 2 】

図 1 1 はシングルカプラ方式の動作原理図であり、(a) 受信端シングルカプラ方式の動作原理、(b) は送信端シングルカプラ方式の動作原理である。図 1 1 (a) は、図 1 0 の構成をベースに信号伝送線路の受端終端の構成を変更したものであって、本発明の実施の形態 1 (図 1) と同様の構成である。図 1 1 (a) の受端終端に設けられた方向性カプラは、図 1 および図 2 の方向性カプラ 5 a に相当する。また、図 1 1 (b) は、図 1 0 の構成をベースに信号伝送線路の送端の構成を変更したものであって、本発明の実施の形態 2, 3, 4 (図 2, 図 3, 図 4) に相当するものである。図 1 1 (b) の送端に設けられた方向性カプラは、図 2, 図 3, 図 4 の方向性カプラ 5 b に相当する。

## 【 0 0 8 3 】

図 1 1 (a) では、信号伝送線路は、差動レシーバのゲートにつながっているが、その受端終端は、方向性カプラを設けたことによって実質的に開放端になっている。図 1 1 (b) では、信号伝送線路は、ドライバにつながっているが、その送端は、方向性カプラを設けたことによって実質的に開放端になっている。また、図 1 1 の信号伝送線路は、図 9 とは異なり、直流的なエネルギーを消費しない。

## 【 0 0 8 4 】

なお、図 1 1 では、信号伝送線路は同軸型伝送線路で表現されているが、伝送線路の構造には、スタックトペア線路、ストリップ線路、マイクロストリップ線路、スリットストリップ線路、コプレーナ線路などがある。また、方向性カプラは、図 1 1 に記載の断面構造図では、表層スタックトペア線路で表現されているが、例えばあとに説明する実用例のもの (図 2 0, 図 2 1 参照) を用いることが可能である。

## 【 0 0 8 5 】

方向性カプラの物理現象について以下に説明する。進行方向に直角な空間的広がりを持つ電気力線および磁力線による伝送波は、TEM (Transverse Electromagnetic wave Mode) 波であり、TEMは伝送路内の導波モードである。図11の方向性カプラの断面構造図において電磁波の点線の円で描かれた空間が、電気力線および磁力線の有効な空間的広がりである（基本的には無限空間に広がっているが、エネルギー的に無視できるところで区切っている）。

【0086】

電磁波の空気中にさらされていた部分の電磁波速度 $c_0$ は、 $\mu_0$ を真空中の透磁率、 $\epsilon_0$ を真空中の誘電率とすると、

$$c_0 = 1 / \sqrt{(\mu_0 \epsilon_0)} = 3 \times 10^8 \text{ [m/s]} \cdots (12)$$

で進行するが、絶縁材料中はその比透磁率 $\mu_r$ と比誘電率 $\epsilon_r$ に応じた減速条件となる。この絶縁材料中での速度を $v$ とすると、

$$v = c_0 / \sqrt{(\mu_r \epsilon_r)} \cdots (13)$$

である。 $\epsilon_r = 4$ 、 $\mu_r = 1$ とすると、 $v = 1.5 \times 10^8 \text{ [m/s]}$  が得られる。

【0087】

出発時点でTEM波であったものが、進行中に空気中の電磁波速度が絶縁物中の電磁波速度の速度で進行するため、そのTEMモードが崩れていく。スタックトペア線路の強いカップリングで隣接配線へのクロストークが無視できる範囲にあった電磁界が崩れると、この崩れたTEMに応じてスタックトペア線路のカップリングが弱くなり、有効電磁空間の広がりが大きくなって、隣接のスタックトペア線路に電磁エネルギーを移動しやすくなる。

【0088】

図12および図13は上記のTEMモードが崩れる様子をマイクロストリップ線路でシミュレーションした図であり、図12は断面斜視図、図13は上面図である。図12(a)、図13(a)は図11に相当する表層配線構造のマイクロストリップ線路のものであり、図12(b)、図13(b)は内層配線構造のマイクロストリップ線路のものである。図12および図13は3本の伝送線路の中央に3[GHz]の正弦波を入力したときの図であり、図12についてはその中央

の断面から見た向こう側の電界強度分布を示したものである。

【0089】

図12(a)に示すように、表層マイクロストリップ線路では、空気中の電界分布が先に進んでいるのに対し、図12(b)に示すように、内層マイクロストリップ線路では、TEMモードが維持されていることが判る。

【0090】

また、表層マイクロストリップ線路の図13(a)には、3本の線の中央に入力された3[GHz]の正弦波の電磁広がりが大きくなり、線路長200[mm]で完全に電界エネルギーが上下に示した隣接配線に移動している様子が示されている。これに対して、内層マイクロストリップ線路の図13(b)には、隣接配線に電界エネルギーがもれていない対照的な様子が示されている。

【0091】

このシミュレーションでは、線路長200[mm]の表層マイクロストリップ線路において、3[GHz]の正弦波の電磁エネルギーは完全に隣接配線に移る。

【0092】

図14はスタックペア線路において電磁エネルギーが隣接配線に移る様子をSパラメータで示した図であり、(a)はライン幅L/スペース幅S=1/1の場合、(b)はL/S=1/0.5の場合、(c)はL/S=1/0.25の場合である。ただし、この図14に示すものは、スタックペア線路の3本の線路の内の端の線路に正弦波を入力したものであり、S21は上記正弦波を入力した端の線路の電磁波エネルギーの通過特性、S11は反射特性である。また、S41はこの線路の隣接線路遠端のクロストークエネルギー、S61はこの線路の2本向こう側の隣接配線遠端のクロストークエネルギーを定義する。

【0093】

隣接スペースが狭くなるほど、クロストークエネルギー(S41とS61)が通過エネルギー(S21)を逆転する周波数が、低くなる。そして、周波数に応じて周期的にこれを繰り返すことが判明する。このように、隣接スペースと周波数特性とは密接に関係し、隣接スペースを極端に狭くすれば、短い配線でも同様な現象を再現できることになる。



## 【0094】

本発明では、直流から100 [MHz] までの比較的ノイズ発振のない周波数帯域は通さないが、それより高周波の全ての周波数に対してエネルギー移動ができる文字通りのハイパスフィルタとしての条件を満たす手段として、方向性カプラ（広帯域カプラ）を用いている。

## 【0095】

しかし、隣接するペア線路の線路条件に対しては、図14に示す周波数特性があるので、方向性カプラのエネルギー入力側ペア線およびエネルギー通過側ペア線それぞれの配線長、両ペア線の隣接間隔（図11のギャップ $g$ ）、それぞれのペア線を配置する絶縁材料の誘電率などの条件を適切に設定する必要がある。

## 【0096】

上記広帯域カプラは、図11のギャップ $g$ を可変にしておくこと等によって可能となるが、具体的構造については、あとで実用例とともに説明する。また、図11では直線的勾配をつけたギャップ構造となっているが、他の広帯域カプラ構造も適用可能である。

## 【0097】

方向性カプラを適切に条件設定して広帯域カプラとすれば、図11(a)の受信端カプラ方式では、信号伝送線路の受端終端は方向性カプラの開放端であり、直流電力消費はしないが、交流成分は方向性カプラを通して隣接配線に全エネルギーが逃げ、この隣接配線に移動全エネルギーが蓄積され、あるいは終端抵抗で移動全エネルギーが消費され、複雑な反射で悩むことなく、間接終端できることになる。また、図11(b)の送信端カプラ方式では、交流成分は方向性カプラを通して信号伝送線路に全エネルギーが逃げるが、直流成分は遮断され、直流電力消費をせずに、交流成分のみを信号伝送線路で伝送できる。

## 【0098】

このように本発明の実施の形態では、それぞれ所定長のエネルギー入力側のペア線とエネルギー通過側のペア線とを所定の間隔で近接させ、それぞれのペア線を誘電率の異なる材料中に配置した方向性カプラを信号伝送線路の受端または／および送端に設けることにより、直流電流による電力消費が抑えられるという大きな

効果を奏する。また、信号振幅も、長周期でオン・オフするような制御信号に対しては電源電圧と同じレベルまで得られることになる。

#### 【0099】

なお、LC回路で実現できるハイパスフィルタは、本発明の広帯域カプラに対し、いわば狭帯域ハイパスフィルタである。上記広帯域カプラと同等のいわば広帯域ハイパスフィルタをLC回路で実現しようとするれば、それは非常に大規模な回路にならざるを得ない。また、LC回路での実現は、パルス周波数が高くなるほど、困難になる。例えば、20 [GHz] のパルスに対して、LC回路での上記広帯域ハイパスフィルタの製作はほとんど不可能である。

#### 【0100】

図15は本発明の実施の形態においての伝送信号波形のモデルを示す図である。図15において、 $v_{in}$  は入力信号、 $v_{out}$  は出力信号である。出力信号  $v_{out}$  において、点線は実施の形態1, 2のように終端抵抗を設けない場合であり、実線は実施の形態3, 4のように終端抵抗を設けた場合である。

#### 【0101】

電源電圧  $V_{dd}$  に対し、信号振幅はドライバのトランジスタオン抵抗で決まる低い値となる。クロックのような送信信号波形では、そのままの受信信号波形が得られるが、保持時間の長い送信信号波形では、カプラを通らないこと、通過した高調波は抵抗でエネルギー消費されることの2点により、その受信信号波形は、カプラのRC積分減衰特性に従った減衰曲線で0 [V] になる。この受信信号は、緩やかな減衰のため、アンダーシュートはなく、レシーバの差動アンプは反転しない。信号がオフになるときは、受信信号はマイナスに振れることになり、差動センスアンプは基準電位が不要なため、差動アンプは反転する。差動センスアンプの下段にラッチ回路（図5のラッチ回路F1参照）が設けてあれば、保持時間に関係なく正しい信号を検知できる。

#### 【0102】

もし、信号伝送線路が長いと、すでに説明したように、伝送遅れ時間  $t_{pd}$  の間、直流電流が流れる。図10の回路では、その電荷量はそのまま終端抵抗に吸収される。しかし、図11(a)の回路では、信号伝送線路に電荷が充満したあ

と、遷移エネルギー分の電荷はカプラにより隣接に放電されるが、直流成分の放電はドライバの反転までできずに信号伝送線路に貯まっており、ドライバのNMOSトランジスタがオンしてグランドにつながったとき、逆流してグランドに吐き出される。これは、図8の従来回路における負荷容量 $C_L$ のディスチャージとは異なり、パルスの流れで時間 $t_{pd}$ の間なされる。

## 【0103】

図11(a)の回路および図1の実施の形態1では、 $1/2$ クロック周期よりも $t_{pd}$ が長いと、ディスチャージが完了しない間にチャージが始まり、信号が多重反射のように乱れる。このため、図1の実施の形態1は、

$$t_{pd} < 1/2 \text{ クロック周期} \cdots (14)$$

の条件に適用できる回路となる。

## 【0104】

これに対して、図2の実施の形態2から図4の実施の形態4までは、信号伝送線路へのフルチャージを避けるために考えられた回路である。図11(b)のように、遷移エネルギーに相当する電荷の塊のみが電磁波速度で信号伝送線路をレシーバ側に移動し、 $t_{pd} > 1/2$ クロック周期の条件でも信号伝送線路に直流電荷は貯まらない。このエネルギーは、受端終端側のカプラまたは終端抵抗で全て吸収されるため、ドライバのグランド側のNMOSトランジスタは、図10のグランド側のNMOSトランジスタと同様に、オンしても電流は流れない。

## 【0105】

実施の形態2から4までにおいて、クロック的信号では、図15の左側に示すように、実施の形態1と同じ受信信号が得られる。また、保持時間の長い信号では、図15の右側に示すように、点線の受信波形（実施の形態1と同じ受信波形）または実線の受信波形でチャージされ、立下りのときも同じとなる。

## 【0106】

このように、終端抵抗が設けられているか否かによって、図15の点線（実施の形態1および2）のようになるか、図15の実線（実施の形態3および4）になるかの違いが出る。

## 【0107】

なお、図3の実施の形態3の終端抵抗6aは、必ずしもカプラ5aの出力インピーダンスと整合させる必要はなく、長いパルスの減衰曲線をRC積分曲線として制御できる抵抗値に設定すればよい。

## 【0108】

図2の実施の形態2から図4の実施の形態4までにおいてのドライバのグランド側のNMOSトランジスタは、動作しないのであるから、廃止することは可能に見えるが、直流電流で徐々にバイアスが上がり、動作しなくなることがあるので、このNMOSトランジスタは必要である。このため、ドライバのインバータを構成する2つのトランジスタは、図5の実施の形態5のように、ともにNMOSトランジスタが適切なものとなる。

## 【0109】

図5の実施の形態5において、電源側のNMOSトランジスタN11とグランド側のNMOSトランジスタN12とは、入力差動信号に同期して動作はするが、相補的である必要はない。ドレイン電圧が両者で変わるため、同じ寸法諸元でもオン抵抗が変わるが、グランド側のNMOSトランジスタN12はグランドを参照するための役目であるため、問題とならない。

## 【0110】

また、ドライバ12は、オン抵抗を高く設定してよい場合、何ら工夫をする必要がない。なお、ドライバ12の電源側には、トランジスタオン抵抗が低いときのための抵抗R10が設けられている。

## 【0111】

また、レシーバ14のセンスアンプは、小さな振幅を検知するのに多少の工夫が必要となるが、これも通常のデバイス設計で可能である。また、方向性カプラ5b、5cは、あとで説明するように、チップ上の配線技術で十分加工できる寸法である。

## 【0112】

さらに、図5の実施の形態5では、NMOSバラクタB1、B2を設け、ドライバの両NMOSトランジスタN11、N12がオンするときにチャージしなければならないドレイン・ソース間容量をNMOSバラクタでポンプアップ・ポン

プダウンする機能も備えている。電源は十分な電力供給能力を持っているが、容量チャージの急峻なスパイク電流はEMIの問題を生じる可能性が高いため、このバラクタ挿入で解決する。このバラクタ挿入は、チャージの再利用のためや、電力消費に対しても有効である。なお、NMOSバラクタを設けることについては、すでに上記特許文献3に記載されている。

## 【0113】

伝送線路においてのTEM伝送について以下に説明する。なお、電荷が電磁波に追従するという概念が間違っているが、常識として通っているクーロン、ガウス、アンペア、ファラディ、マックスウエルの概念に従って説明する。上記の間違いの原因は、アインシュタインがマックスウエルの関係式は特殊相対性原理の中でも矛盾しないといった発言からであり、空間に飛ぶ電磁波はアインシュタインの言った通りであるが、電線の中はプラズモンやマグノンが関係するフォトンで説明するべきである。

## 【0114】

図16は伝送線路においてのTEM伝送を説明する断面図であり、(a)はスタックトペア線路、(b)はマイクロストリップ線路である。図16に電線の断面構造が描かれており、その電線の中の丸は、白丸がホール（プラス電荷）、黒丸が電子（マイナス電荷）である。電気力線は、プラス電荷から出発し、必ずどこかのマイナス電荷に終端する。図16にはその電気力線の様子も描かれている。

## 【0115】

電気力線の空間分布はプラスマイナスがクーロン力で引き合うように、対抗面が最も密になり、反対面は疎になって、無限空間にまでその作用が及んでいる。対抗面距離が狭いほど引き合う力が強くなり、電束密度は高くなる。

## 【0116】

この縛りを受けた電荷が同期して一斉に紙面の奥に移動すれば、電流が流れたことになり、磁力線が発生する。その磁力線の分布は、電流線を囲む円周状になり、プラス電荷では時計方向に、マイナス電荷では半時計方向に回る。対抗面では磁力線方向が同じであるため、助け合うことができ、対抗面が近づくほどその

効果が強くなる。反対面は自然な空間分布で無限遠にまで及ぶ。電気力線と磁力線の交差は常に直交する関係にあり、その合成であるベクトルをみると、電界ベクトルは中心部で垂直下向き、磁界ベクトルは対抗面中間で水平左向きとなる。

## 【0117】

電流進行方向に対して直交平面にリンクした電荷の電磁界が広がっているため、Transverse Electromagnetic wave Mode (TEM) 伝送と言っており、すでに方向性カプラの物理現象において説明した内容となっている。電磁界の広がりエネルギーの広がりそのもので、信号エネルギー(電圧×電流)はこのような空間分布を持ちながら進行している。電磁エネルギー的に有効な広がり断面だけに注目し、これを図16に記載した範囲とすると、ペア線路間の距離 $d$ が狭いほど電磁空間広がりが狭くなる。

## 【0118】

マイクロストリップ線路は、ペア線路の一方が面構造となっているため、マイナス電荷密度を広げようとする。しかし、プラス電荷の縛りを受けて、図16(b)に示すように自然な広がりとなる。これについて幾何学的作図をすると、対抗面下に鏡像イメージ線を置いて、これに向かった広がりとなる。マイナス電荷が面構造の中にあるため、磁力線は図16(b)のように横に扁平な形となるが、対抗面がお互いに助け合うことに変わりはない。マイナス電荷が流れている部分の電位は、流れていない部分(電位0[V]の部分)よりもマイナスであり、平面内で電位分布ができることになる。上記非特許文献1, 2で明らかなように、ペア線路の電位は相補的に反転しているという重要な概念は、この図16から理解できる。

## 【0119】

図16(b)のマイクロストリップ線路の電磁界は、図16(a)のスタックトペア線路よりも、実質的に広がっていることが判る。図16に隣接配線を一点鎖線で表したように、ライン/スペース=1/1に配置すると、隣接配線は、スタックトペア線路では有効な電磁界広がり外に位置しているが(図16(a)参照)、マイクロストリップ線路では有効な電磁界広がり一部を切っている(図16(b)参照)。変化する電磁界がクロスしている電線はファラディ法則で

電磁誘導するため、クロストークが起こることになる。変化しない電流（直流）も同じ電磁界広がりがあるが、変化しないため、電磁界を切っている線路があってもクロストークしない。周波数が高くなるほど、クロストークの問題は大きくなる。このようなペア線路が、伝送線路と言われるものである。

## 【0120】

図17はチップ上で可能な伝送線路構造の例を示す図であり、図16において説明した原理を考慮したものである。図17において、(a)はペアコプレーナ線路、(b)はガードコプレーナ線路（両端コモン）、(c)はスタックトペア線路、(d)はガードスタックトペア線路（上下コモン）である。

## 【0121】

伝送線路構造において、重要なことは、1番目にペア線路として明確に規定された構造であること、2番目にカブラのようにTEM構造を崩すことなく伝播させるために、同じ誘電率を持つ均質な絶縁物内に配線されていることである。

## 【0122】

ペア線路の対抗面間隔を $d$ （図16および図17参照）、対抗面導体幅を $w$ （図16参照）、隣接対抗面の導体厚み $t$ 、隣接間距離を $s$ （図17参照）とすると、ここでは、

$$2wd < ts \cdots (15)$$

の条件を満たす構造のものを、上記明確に規定された構造のペア線路とする。

## 【0123】

ペア線路のカップリングの強さは $(1/(wd))^2$ であり、隣接線路のカップリングの強さは $(1/(ts))^2$ である。上記(15)式は、ペア線路のカップリングが隣接線路のカップリングよりも4倍を越えて強いことを意味する。25 [%] のエネルギーがクロストークであり、無視できない関係のように見えるが、円柱のような等方性がなく、対抗面のカップリングにより支配される異方性が強いため、実験的には5 [%] 以下のクロストークである。

## 【0124】

図18は図5の実施の形態5の配線レイアウトの一例を示す図であり、集中定数回路ブロックであるドライバとグローバル配線である信号伝送線路の接続部の

構造を示している。また、図19は図18の断面構造を示す図である。ただし、NMOSトランジスタとNMOSバラクタは、図18では横方向に配列されているが、図19では縦方向に配列されている。なお、図18および図19において、図5のものに相当するものには同じ符号を付してある。

## 【0125】

図18および図19において、p1は半導体基板のN型層またはN型半導体基板に形成されたP型領域（Pウェル）である。また、図18および図19のNMOSトランジスタN1において、n1はN型ドレイン拡散層、n2はn型ソース拡散層、n3はゲート電極、n4はドレインコンタクト部、n5はソースコンタクト部、n6はドレイン配線、n7はソース配線、n8はゲート配線である。また、NMOSバラクタB1において、b1、b2はn型拡散層、b3はゲート電極、b4、b5は拡散層コンタクト部、b6はソース・ドレイン配線、b8はゲート配線である。

## 【0126】

また、図18および図19において、3aは電源配線、3bはグランド配線であり、これら電源配線3aおよびグランド配線3bは電源グランドペア伝送線路3を構成している。また、R10はモリブデン抵抗である。また、21は電源配線3aと抵抗R10とのコンタクト部、22はグランド配線3bと方向性カップラ5bのエネルギー入力側ペア線のグランド側配線とのコンタクト部である。また、C1は電源グランドペア伝送線路3の所々に配置されたバイパスキャパシタである。

## 【0127】

図18および図19において、NMOSバラクタB1は、NMOSトランジスタN11と同じPウェルp1内に設けられており、電荷のポンプダウン・ポンプアップが図れるようになっている。

## 【0128】

電源配線3aおよびグランド配線3bは、コプレーナ線路で伝送線路となっており、この電源グランドペア伝送線路3は、ドライバのNMOSトランジスタN11およびNMOSバラクタB1の直上まで配置されている。ゲート配線n8、



b 8 で構成される入力信号の配線も、コプレーナ線路で伝送線路となっており、ゲート電極 n 3, b 3 の直前まで延びている。

#### 【0129】

ソース配線 n 7 およびグランド配線 3 b で構成されるドライバの出力配線は、グランドが上層になったスタックトペア線路になっていて、短い配線長で方向性カプラ 5 b のエネルギー入力側ペア線にすぐに接続されている。そして、方向性カプラ 5 b のエネルギー通過側ペア線が接続されたスタックトペア線路の信号伝送線路 1 がレシーバまで延びている。

#### 【0130】

電源配線 3 a、グランド配線 3 b、ドレインコンタクト部 n 4、ソースコンタクト部 n 5、ドレイン配線 n 6、ソース配線 n 7、ゲート配線 n 8、拡散層コンタクト部 b 4, b 5、ソース・ドレイン配線 b 6、ゲート配線 b 8、コンタクト部 2 1, 2 2、方向性カプラ 5 b、および信号伝送線路 1 は、全て金属で構成されている。さらに、望ましくは、ゲート電極 n 3, b 3 も、金属で構成されている。

#### 【0131】

なお、図 1 9 の断面方向においても、ペア配線とそれに隣接する配線は、上記 (1 5) 式の条件を満たすように、絶縁層の厚みや配線幅、配線厚みなどを設定する。また、ドライバの NMOS トランジスタ N 1 2 および NMOS バラクタ B 2 の構造は、図 1 8 および図 1 9 に示す NMOS トランジスタ N 1 1 および NMOS バラクタ B 1 の構造と同様である。また、レシーバ側の入力信号の配線構造は、図 1 8 および図 1 9 に示すドライバの入力信号の配線構造と同様である。

#### 【0132】

このように、本発明の実施の形態では、ドライバの出力トランジスタの拡散層コンタクト部からレシーバの入力トランジスタのゲート配線までの全ての配線が伝送線路構造を維持したものになっている。これにより、数 1 0 [GHz] のパルス信号を伝送できる。

#### 【0133】

また、ドライバの出力トランジスタの拡散層コンタクト部からレシーバの入力

トランジスタのゲート配線までの全ての配線が、半導体ではなく、金属でできている。これにより、電磁波速度で処理できる。なお、ゲート電極と伝送線路までのアプローチは短いため、ゲート電極は、ポリシリコンでもよいが、金属電極が望ましい。また、ドライバ上層の電源グランドペア伝送配線は、図 1 8 および図 1 9 ではコプレーナ構造になっているが、他の構造を採用することも可能である。

#### 【 0 1 3 4 】

方向性カプラの構造について以下に説明する。カプラの入力端から見た特性インピーダンスは、その以前につながっている伝送線路のそれと一致し、カプラの出力端から見た特性インピーダンスも、それにつながる伝送線路と同じであることが構造の基本原則である。また、一般に進行方向の構造が変化しないとき、伝送構造における進行方向に単位長さをとれば、伝送構造の相似則が成り立つ。すなわち、進行方向の直交面で相対位置が保たれている以上、伝送特性は同じである。ただし、導体断面が減少して直流抵抗が増大することは避けられない。カプラも同じ法則が成り立つが、進行方向に対して形状が変化するため、この変化の積分的要素が加わり、近似的に 3 次元の相似則が成り立つ。チップ上のカプラは微細寸法でなければならず、この 3 次元相似則は非常に有効な法則となる。

#### 【 0 1 3 5 】

図 2 0 は方向性カプラの典型的な構造を示す図であり、(a) は高誘電体挿入タイプの斜視図、(b) は誘電率 1 : 3. 2 積層タイプ (低誘電体挿入タイプ) の斜視図、(c) は両タイプの上面図である。また、図 2 1 は方向性カプラの寸法例を示す図である。図 2 0 および図 2 1 において、D はペア線路間の絶縁層の厚み、t は導体層 (エネルギー入力側ペア線) の厚み、w は導体層の幅、L は線路長、GAP は線路間の距離である。また、h 1 (例えば 0. 4 [mm]) はエネルギー通過側ペア線の上層の絶縁層の高さ、h 2 (例えば 0. 6 8 [mm]) はエネルギー通過側ペア線が配置された絶縁層の高さである。電磁界は相似縮小が可能であるため、図 2 1 には 3 つの寸法例を示す。

#### 【 0 1 3 6 】

図 2 2 は図 2 0 (a) の高誘電体挿入タイプのカプラのシミュレーション結果

の一例を示す図であり、図 2 3 は図 2 0 (b) の低誘電体挿入タイプのカプラのシミュレーション結果の一例を示す図である。ポートの番号は、図 2 0 (c) の上面図において、エネルギー入力側ペア線の入力端をポート 1、エネルギー通過側ペア線の出力端をポート 2 と設定しているため、S 2 1 がこのカプラの通過特性であり、S 1 1 がポート 1 の反射特性となる。

## 【 0 1 3 7 】

図 2 0 (a) の高誘電体挿入タイプのカプラは、エネルギー通過側のペア線を周辺配線が配置された絶縁材料と同じものである比誘電率  $\epsilon_r = 3.2$  の酸化シリコン ( $\text{SiO}_2$ ) 中に配置し、エネルギー入力側のペア線を上記  $\text{SiO}_2$  よりも誘電率の高い比誘電率  $\epsilon_r = 8$  のアルミナ中に配置した構造である。

## 【 0 1 3 8 】

また、図 2 0 (b) の低誘電体挿入タイプのカプラは、エネルギー通過側のペア線を周辺配線が配置された絶縁材料と同じものである比誘電率  $\epsilon_r = 3.2$  の酸化シリコン中に配置し、エネルギー入力側のペア線を上記酸化シリコンよりも誘電率の低い空気中に配置した構造である。なお、エネルギー入力側のペア線を上記酸化シリコンよりも誘電率の低い絶縁材料中に配置することも可能である。

## 【 0 1 3 9 】

本発明の実施の形態では、図 2 0 に示すような簡易な構造により、図 2 1 に示すように、チップ上に配置できる小型の方向性カプラを実現している。カップラの両ペア線が配置された絶縁物の誘電率差が大きいほど、線路間の距離 G A P を大きく取れるとともに、カプラを小型化できる。

## 【 0 1 4 0 】

図 2 0 (a) では、周辺の絶縁層（ここでは酸化シリコン）よりも誘電率が高い絶縁層（ここではアルミナ）中に配置されたカプラにおいて T E M 波を崩し、図 2 0 (b) では、周辺の絶縁層（ここでは酸化シリコン）よりも誘電率が低い絶縁層（ここでは空気）中に配置されたカプラにおいて T E M 波を崩す。なお、図 2 0 (b) は、酸化シリコンの比誘電率が 3.2 であるとき、その上層を空気層としたものであるが、逆に空気層の比誘電率を 3.2 にしたときは、その下層の絶縁層の比誘電率を 9.6 にすれば、同様な効果が得られる。

## 【0141】

図24は図22のS21パラメータを用いて図20(a)の高誘電体挿入タイプのカプラをSPICEシミュレーションをした結果を示す図であり、図25は図23のS21パラメータを用いて図20(b)の低誘電体挿入タイプのカプラをSPICEシミュレーションをした結果を示す図である。図24および図25において、(a)はカプラの斜視構造、(b)は入力パルス、(c)は出力電圧、(d)は出力電流である。

## 【0142】

図24および図25は、立上り時間 $t_r = 25$  [ps]、保持時間を5 [ns]とし、レシーバトランジスタのゲート容量を寄生容量も含めて0.2 [pF]、リーク電流に対する抵抗を1 [MΩ]としたときのパルス保持特性を示している。両タイプとも、全く問題のないことが判る。

## 【0143】

なお、上記本発明の実施の形態では、ドライバ、信号伝送線路、方向性カプラ、およびレシーバを同じ半導体チップ内に形成することを前提に説明したが、ドライバとレシーバを異なる半導体チップに設け、本発明の信号伝送線路およびカプラによる上記配線構造を、両チップ間に渡って配置することも可能である。

## 【0144】

さらに、本発明の信号伝送線路およびカプラによる上記配線構造を、論理回路またはメモリ回路の配線として採用することも可能である。この場合には、ドライバまたはレシーバを設けない構成も可能である。

## 【0145】

また、上記実施の形態において、信号伝送線路の送端および受端のそれぞれに、ドライバおよびレシーバを分岐させて設け、デジタル信号を双方向に伝送する構成とすることも可能である。

## 【0146】

## 【発明の効果】

以上説明したように、本発明によれば、小型かつ簡易な構造で、低消費電力の信号伝送装置および配線構造を実現できるという効果がある。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1（受信端シングルカプラ方式）の構成図である。

【図 2】 本発明の実施の形態 2（ダブルカプラ方式）の構成図である。

【図 3】 本発明の実施の形態 3（終端抵抗型ダブルカプラ方式）の構成図である。

【図 4】 本発明の実施の形態 4（送信端シングルカプラ方式）の構成図である。

【図 5】 本発明の実施の形態 5 の構成図である。

【図 6】 パルス（デジタル）信号を説明する図である。

【図 7】 グローバル配線の定義を説明する図である。

【図 8】 従来のデジタル信号伝送回路（シングルエンド型）の構成図である。

【図 9】 従来の他のデジタル信号伝送回路（差動型）の構成図である。

【図 10】 伝送線路の電気エネルギーの移動機構を説明する図である。

【図 11】 シングルカプラ方式の動作原理図である。

【図 12】 TEMモードが崩れる様子をマイクロストリップ線路でシミュレーションした図である（断面斜視図）。

【図 13】 TEMモードが崩れる様子をマイクロストリップ線路でシミュレーションした図である（上面図）。

【図 14】 スタックトペア線路においてにおいて電磁エネルギーが隣接配線に移る様子を S パラメータで示した図である。

【図 15】 本発明の実施の形態においての伝送信号波形のモデルを示す図である。

【図 16】 伝送線路においての TEM 伝送を説明する断面図である。

【図 17】 チップ上で可能な伝送線路構造の例を示す図である。

【図 18】 図 5 の実施の形態 5 の配線レイアウトの一例を示す図である。

【図 19】 図 18 の断面構造を示す図である。

【図 20】 方向性カプラの典型的な構造を示す図であって、（a）は高誘

電体挿入タイプ、(b)は誘電率1:3、2積層タイプ(低誘電体挿入タイプ)である。

【図21】 方向性カブラの寸法例を示す図である。

【図22】 図20(a)の高誘電体挿入タイプのカブラのシミュレーション結果の一例を示す図である。

【図23】 図20(b)の低誘電体挿入タイプのカブラのシミュレーション結果の一例を示す図である。

【図24】 図22のS21パラメータを用いて図20(a)の高誘電体挿入タイプのカブラをSPICEシミュレーションをした結果を示す図である。

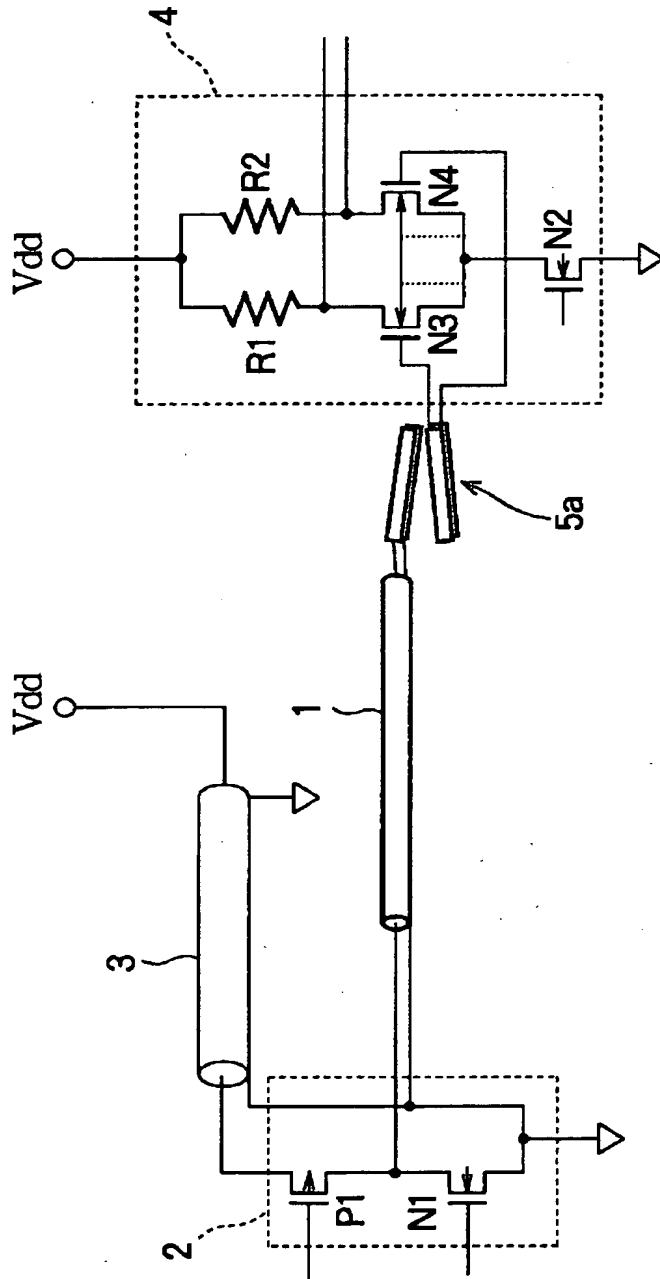
【図25】 図23のS21パラメータを用いて図20(b)の低誘電体挿入タイプのカブラをSPICEシミュレーションをした結果を示す図である。

【符号の説明】

- 1 信号伝送線路
- 2, 12 ドライバ
- 3 電源グランドペア伝送線路
- 4 レシーバ
- 5a, 5b, 5c 方向性カブラ
- 6a, 6b 終端抵抗
- P1 PMOSトランジスタ
- N1, N2, N3, N4 NMOSトランジスタ
- R1, R2, R10 抵抗
- B1, B2 NMOS反転バラクタ
- F1 ラッチ回路

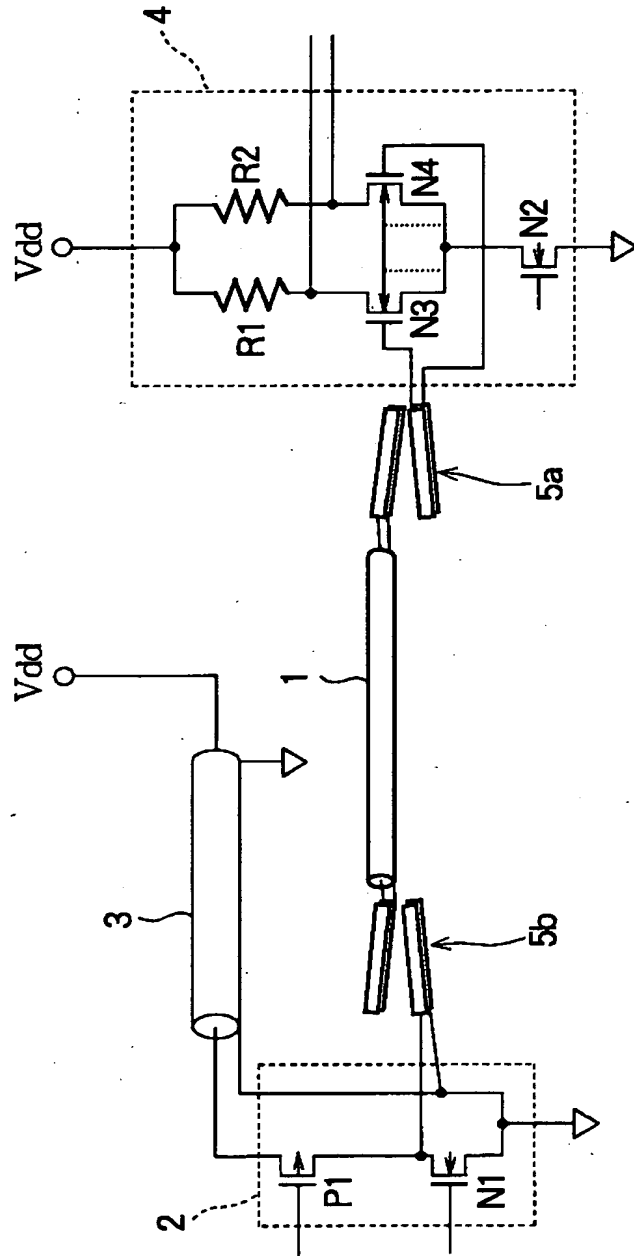
【書類名】 図面

【図 1】



実施の形態 1 (受信端シングルカプラ方式)

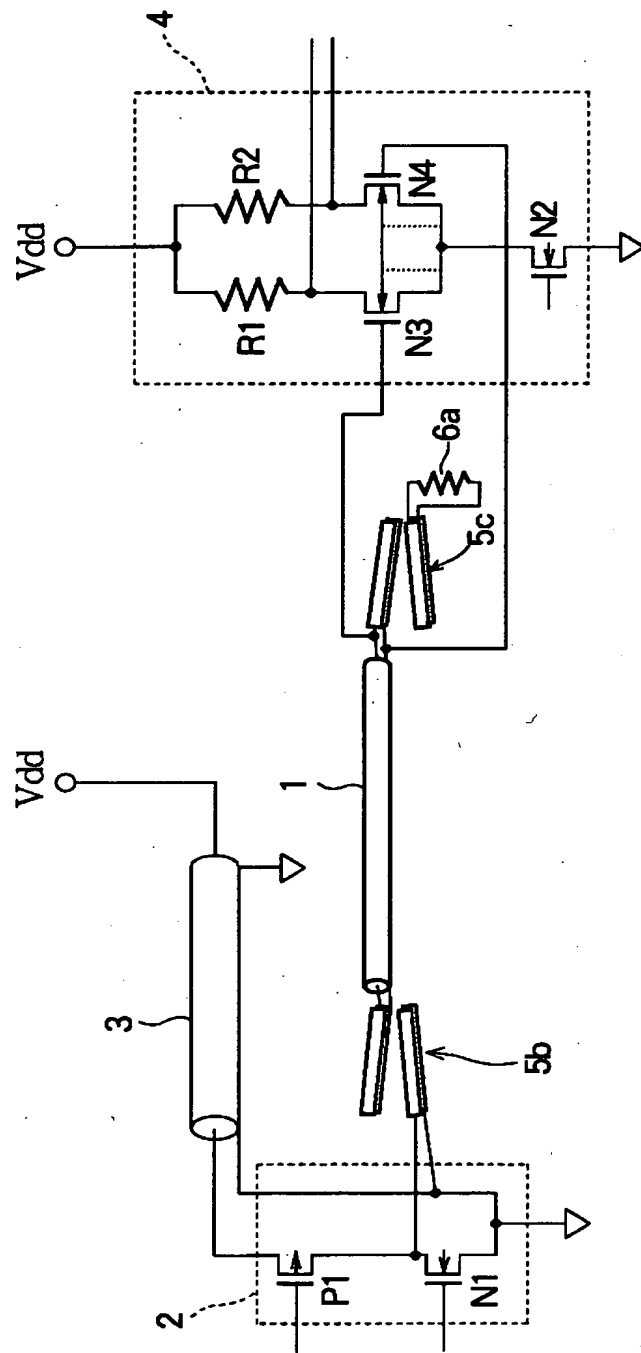
【図 2】



実施の形態 2 (ダブルカプラ方式)

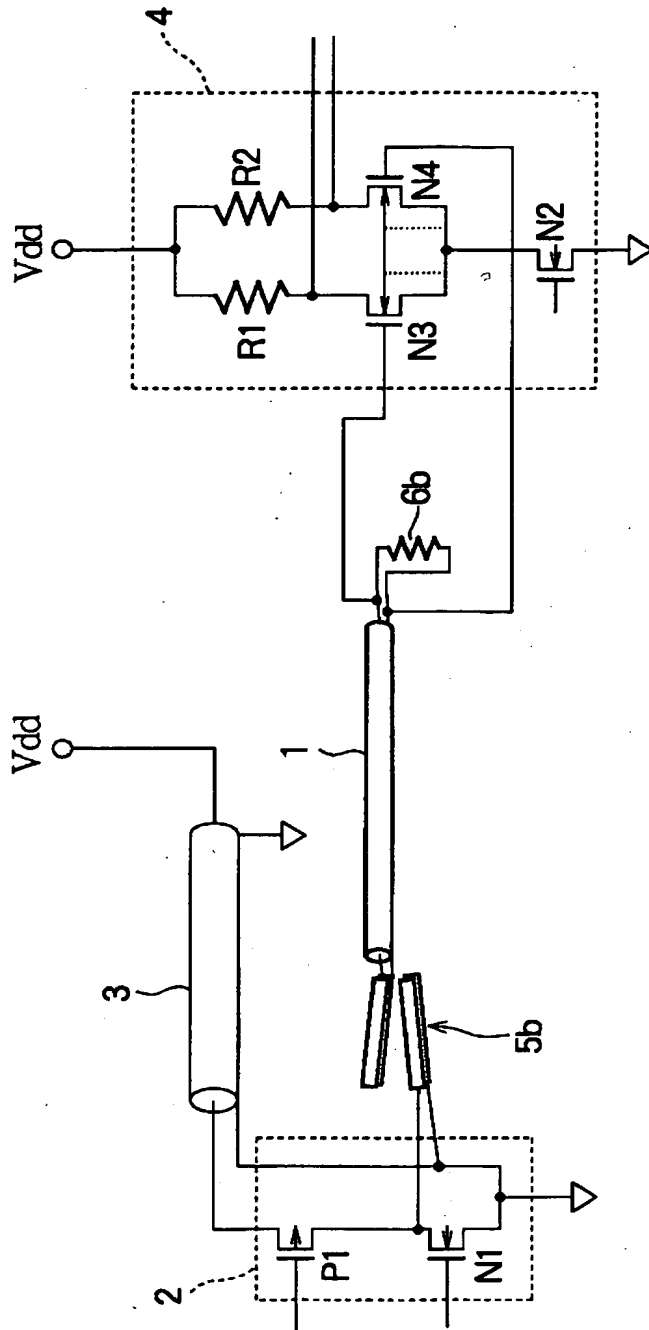


【図 3】



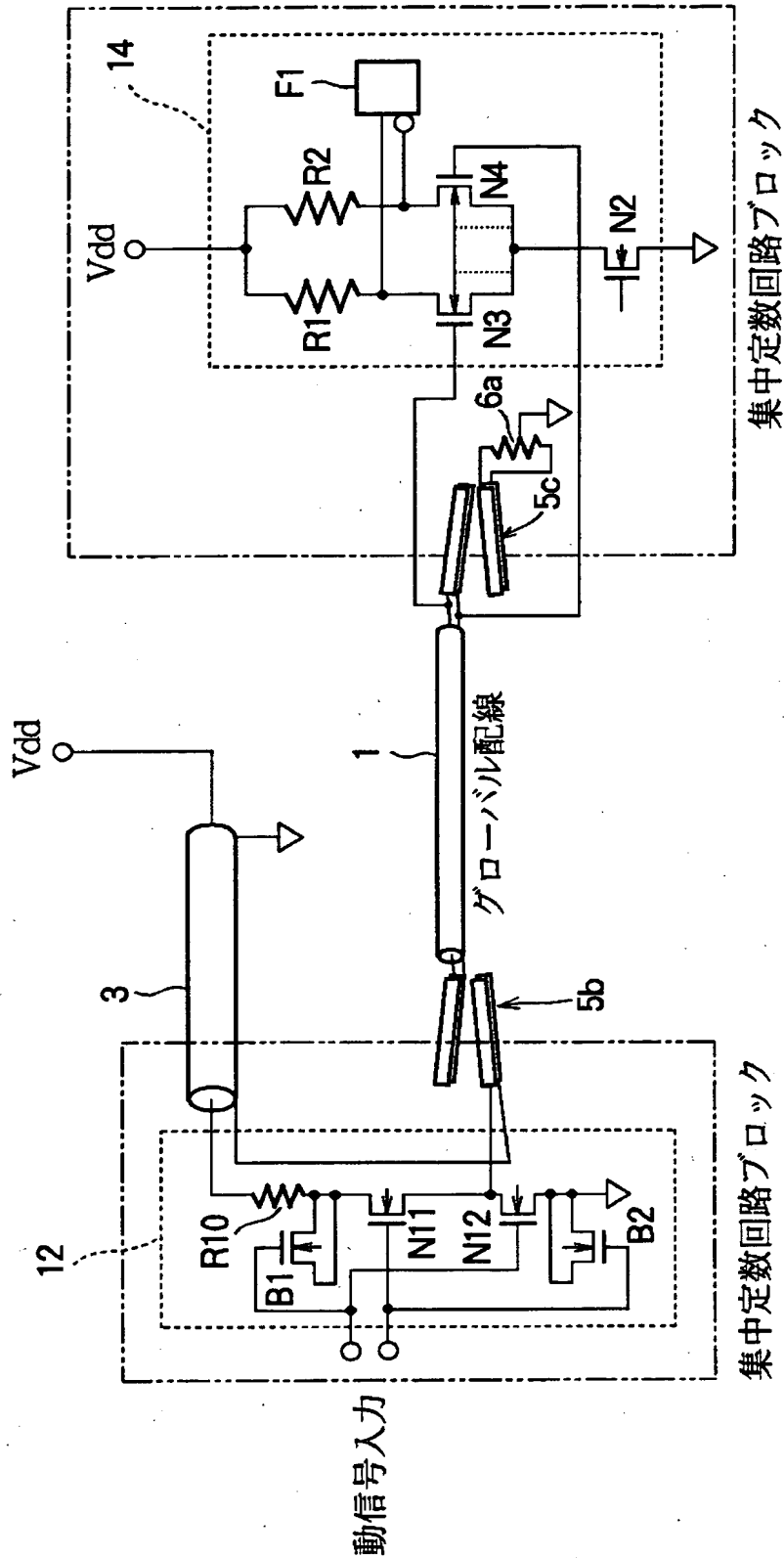
実施の形態3(終端抵抗型ダブルカプラ方式)

【図 4】



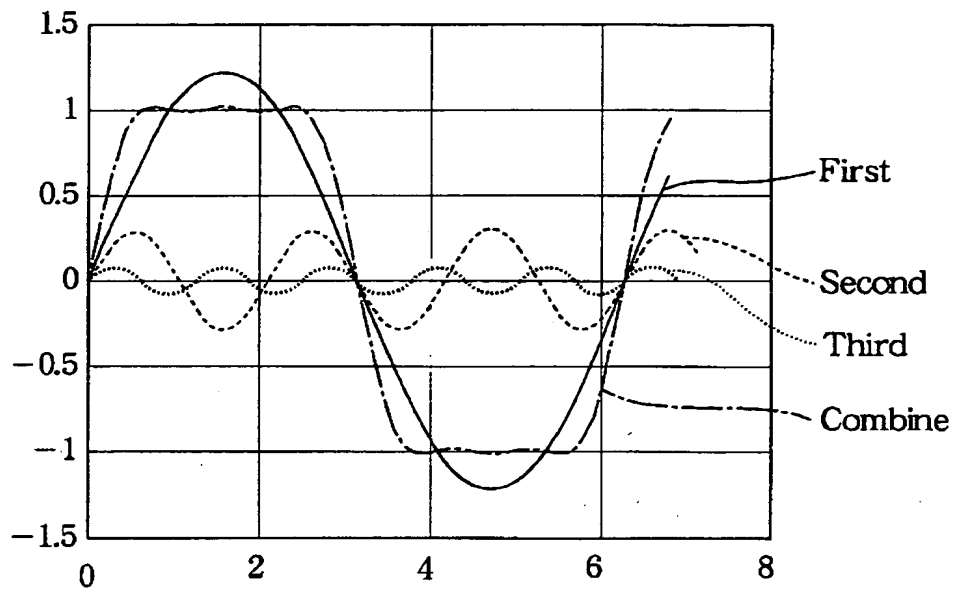
実施の形態 4 (送信端シングルプルアップ方式)

【図 5】



実施の形態 5

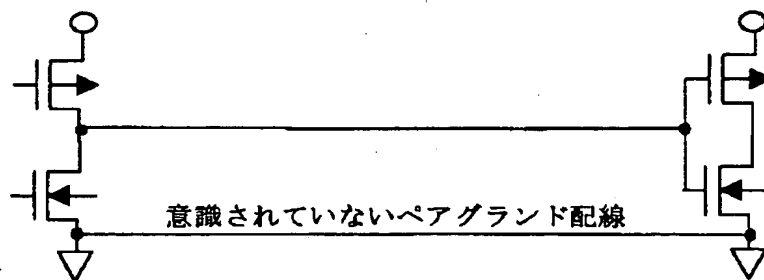
【図 6】



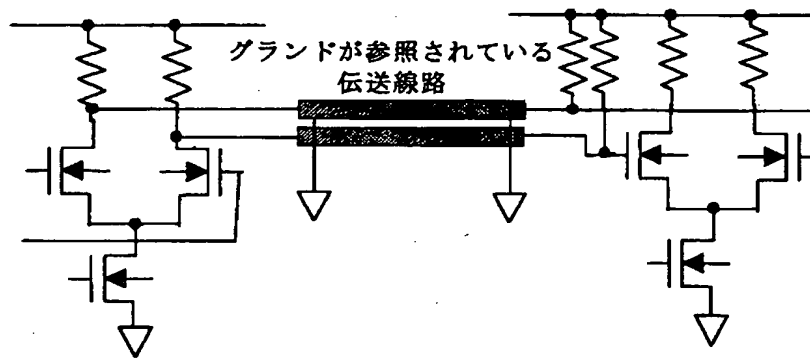
【図 7】

パルス周波数 [MHz]	正弦波高調波 [GHz]	$v=1 \times 10^8$ [m/s] の (1/4) $\lambda$ 線路長[m]	$v=1.5 \times 10^8$ [m/s] の (1/4) $\lambda$ 線路長[m]	$v=2 \times 10^8$ [m/s] の (1/4) $\lambda$ 線路長[m]
5	0.05	0.5	0.75	1
10	0.1	0.25	0.375	0.5
50	0.5	0.05	0.075	0.1
80	0.8	0.03125	0.0375	0.0625
100	1	0.025	0.0375	0.05
300	3	0.008325	0.012485	0.01665
500	5	0.005	0.0075	0.01
1000(1GHz)	10	0.0025	0.00375	0.005
10000(10GHz)	100	0.00025	0.000375	0.0005
100GHz	1000	25 $\mu$ m	37.5 $\mu$ m	50 $\mu$ m

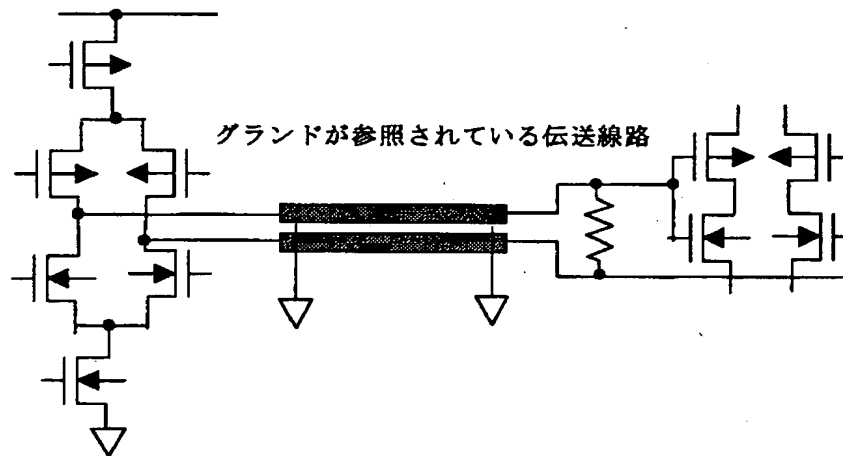
【図 8】



【図 9】

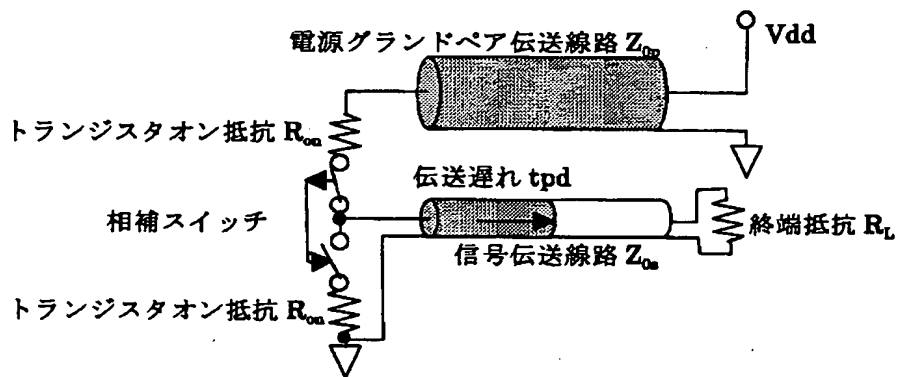


(a) CML 型差動回路

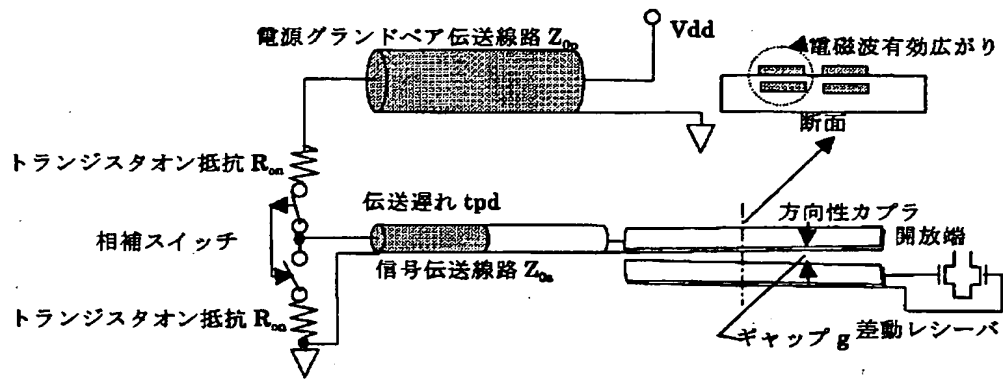


(b) LVDS 型差動回路

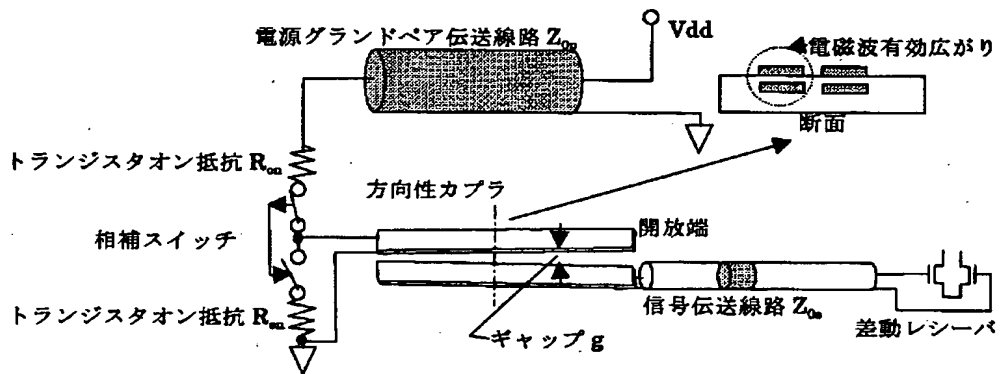
【図 10】



【図 11】

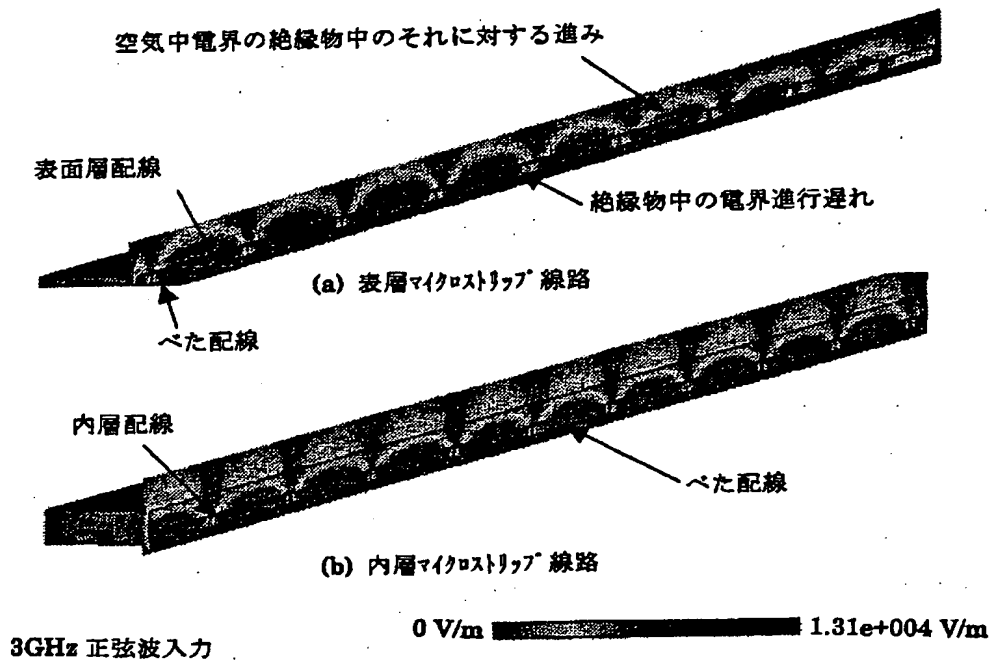


(a) 受信端シングルカプラ

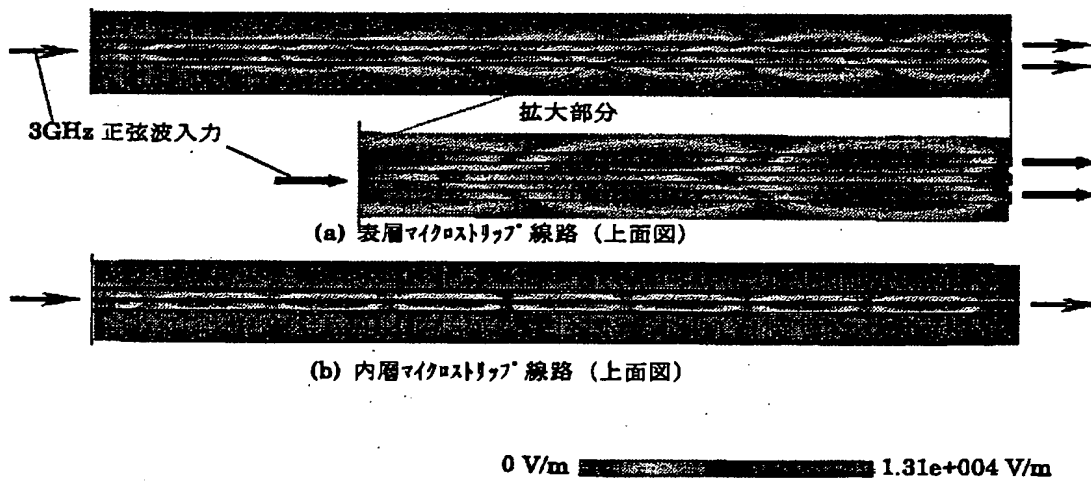


(b) 送信端シングルカプラ

【図 12】

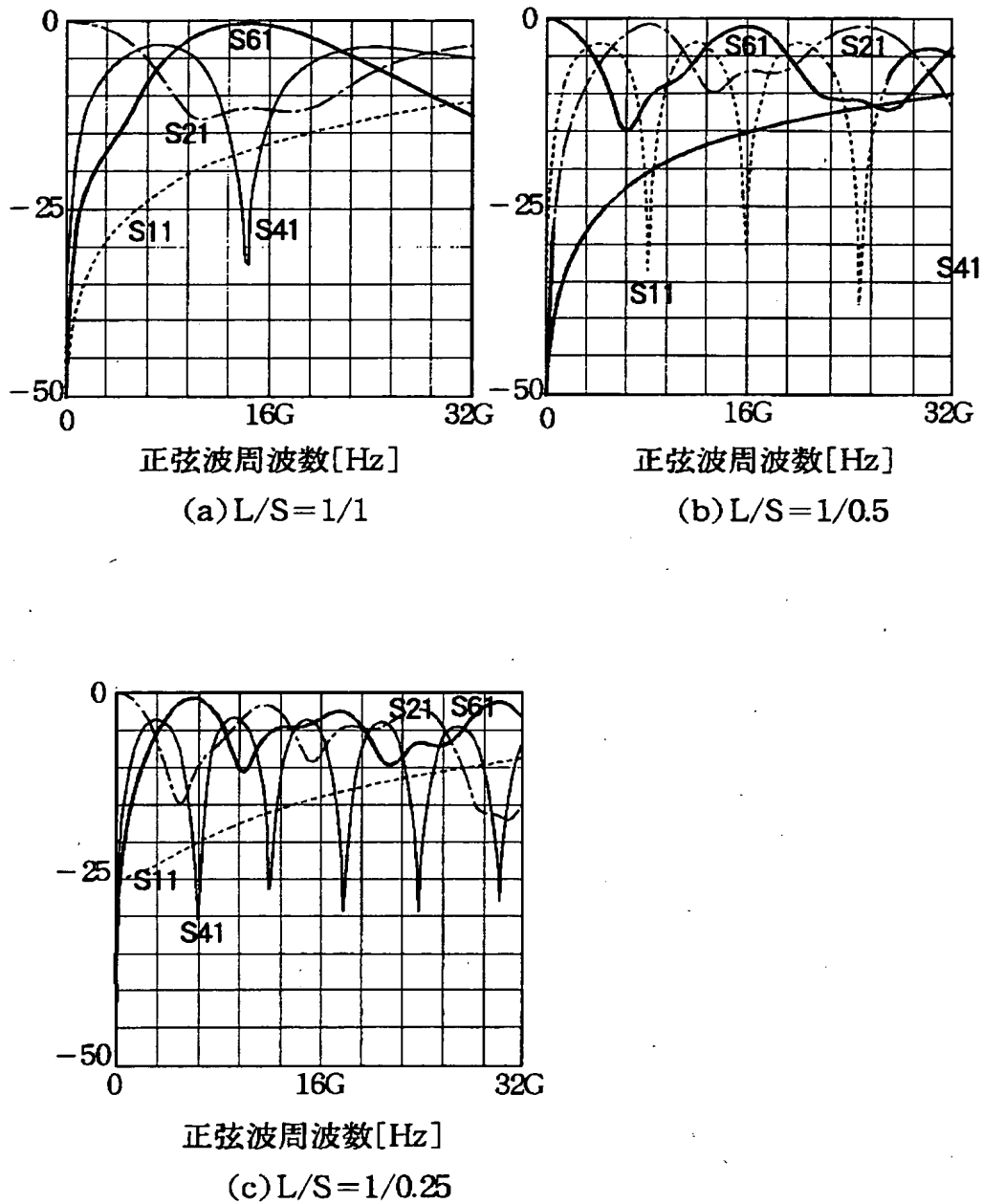


【図 13】

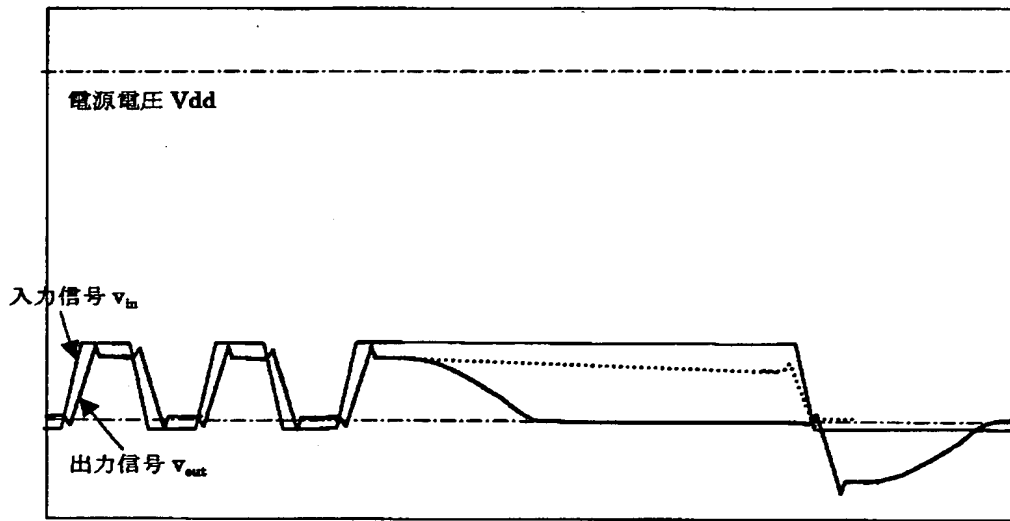




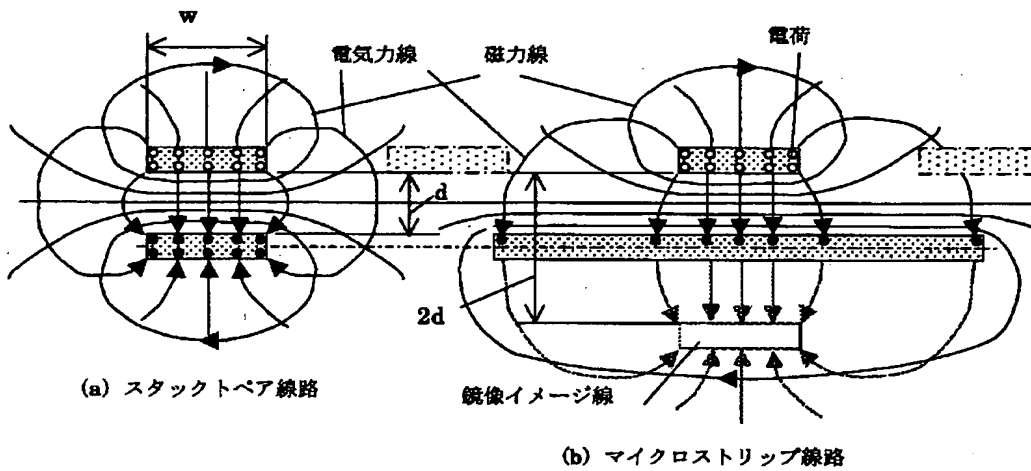
【図 14】



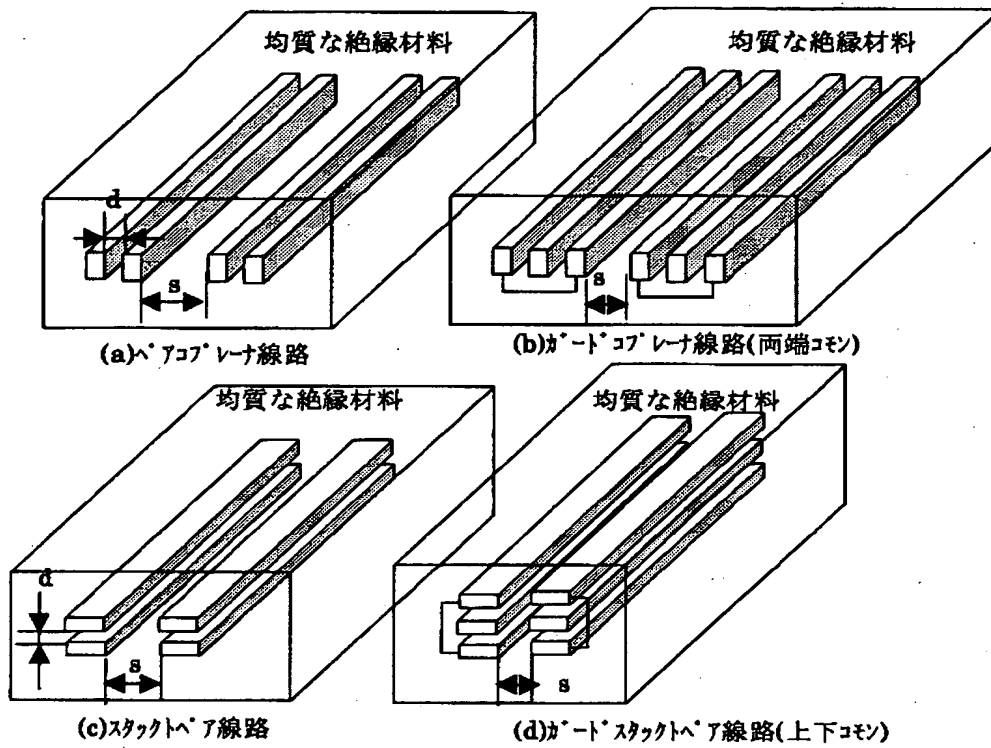
【図 15】



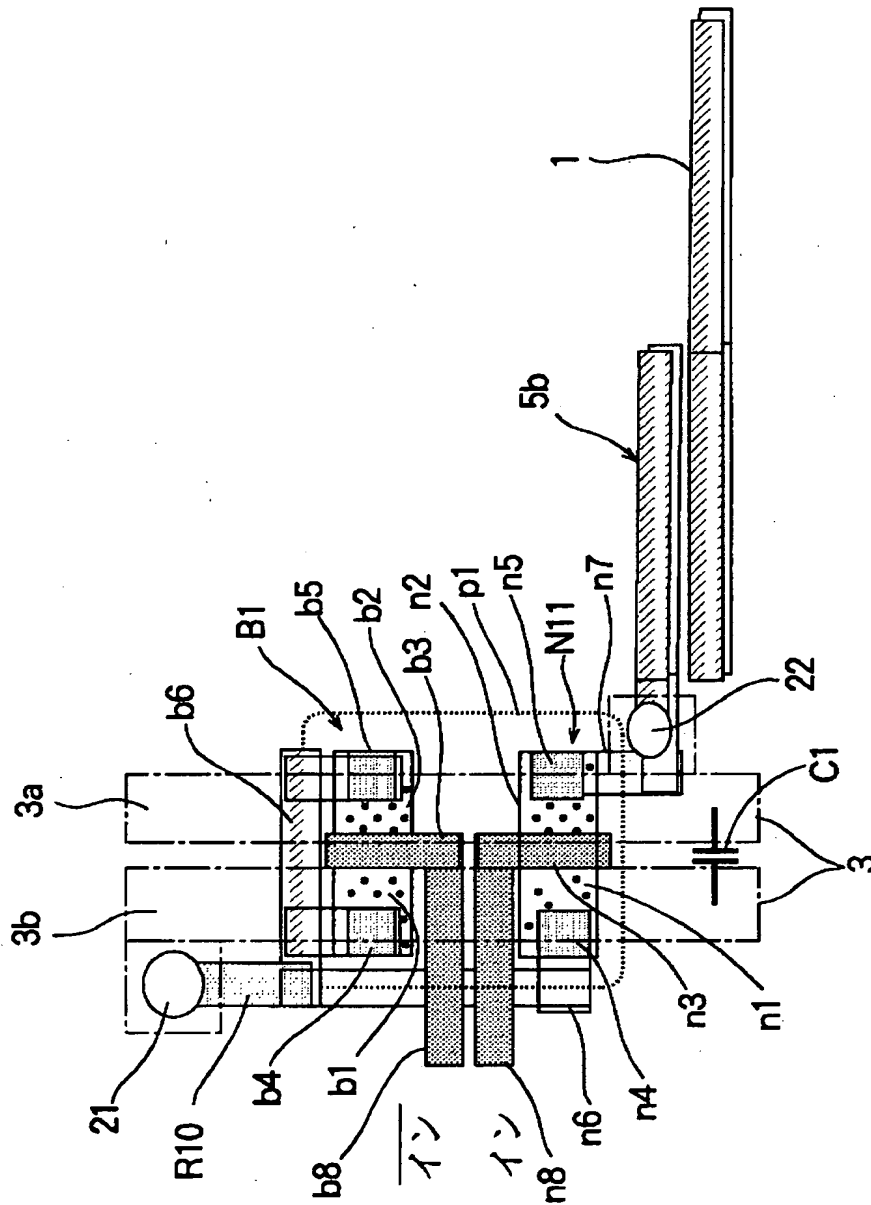
【図 16】



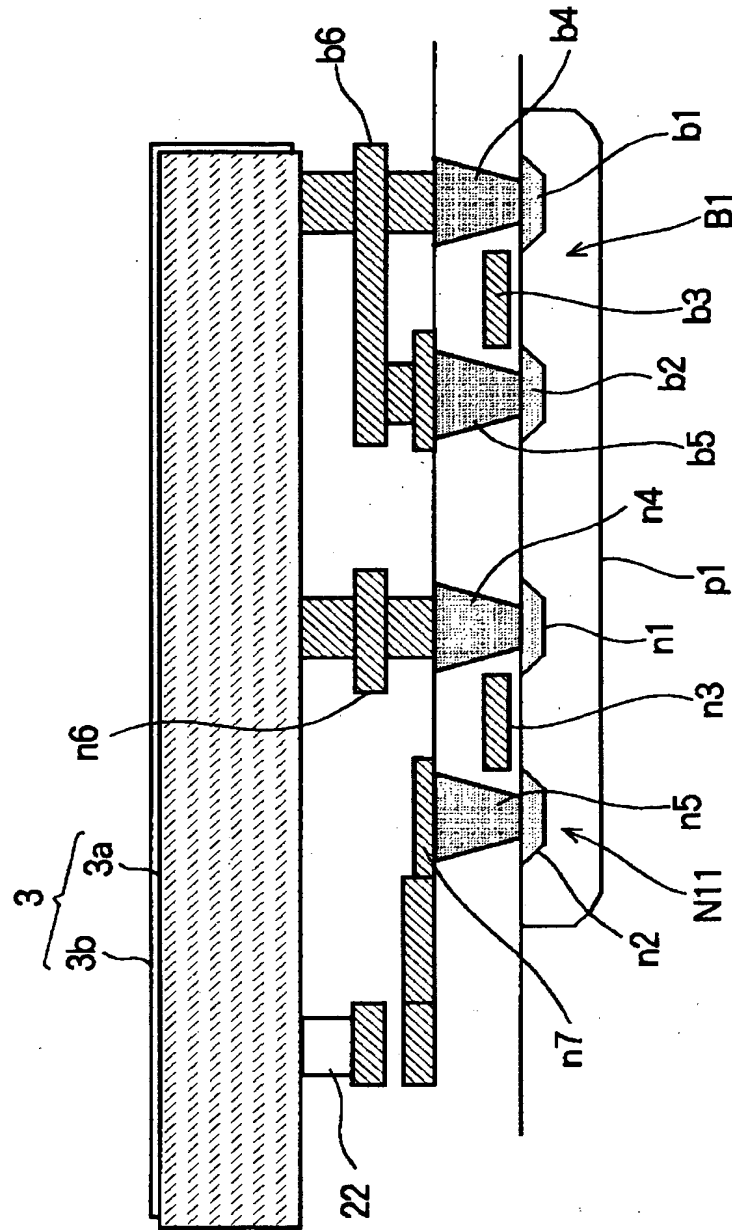
【図 17】



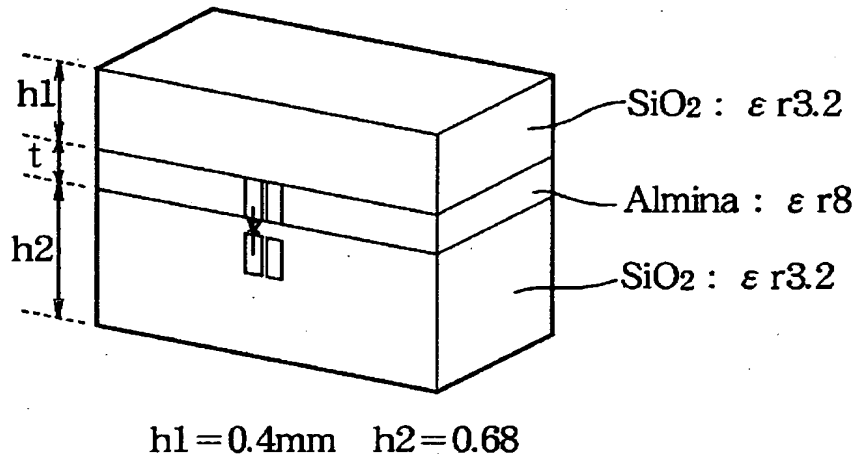
【図 18】



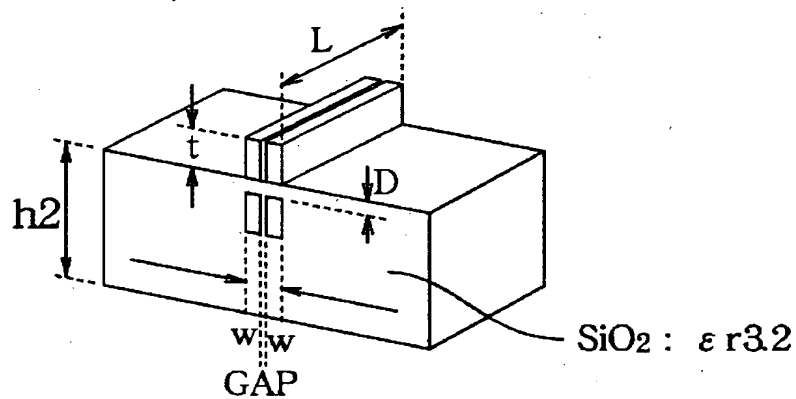
【図 19】



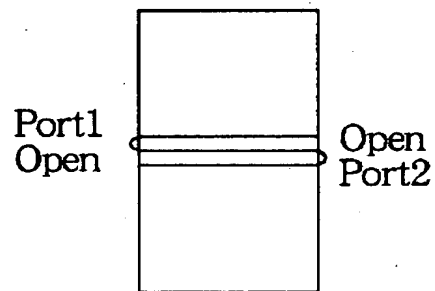
【図20】



(a)高誘電体挿入タイプ



(b)誘電率1:32積層タイプ

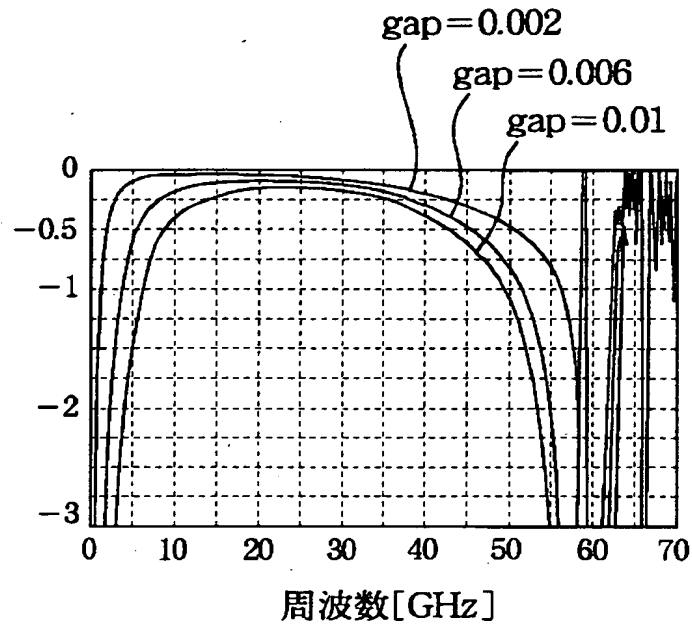


(c)上面図

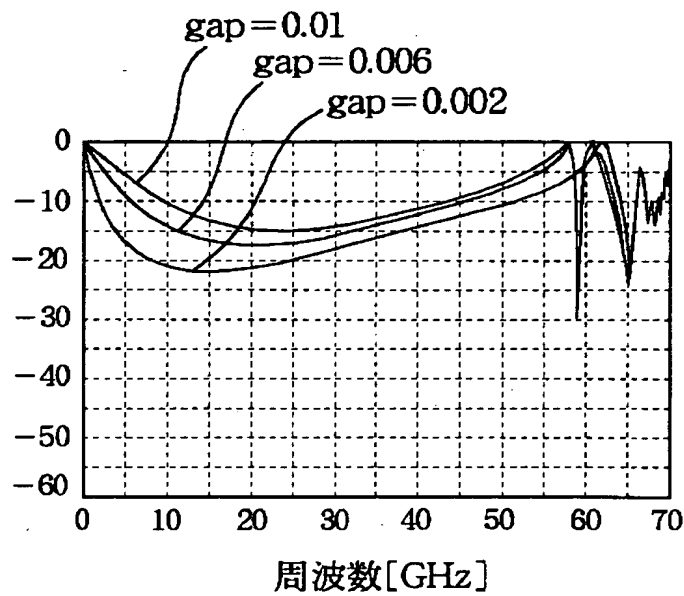
【図 2 1】

相似縮小	1	1/100	1 /1000
L	1mm	10 $\mu$ m	1 $\mu$ m
w	0.08mm	0.8 $\mu$ m	80nm
GAP	0.01mm	0.1 $\mu$ m	10nm
t	0.2mm	2 $\mu$ m	0.2 $\mu$ m
D	0.08mm	0.8 $\mu$ m	80nm

【図 22】



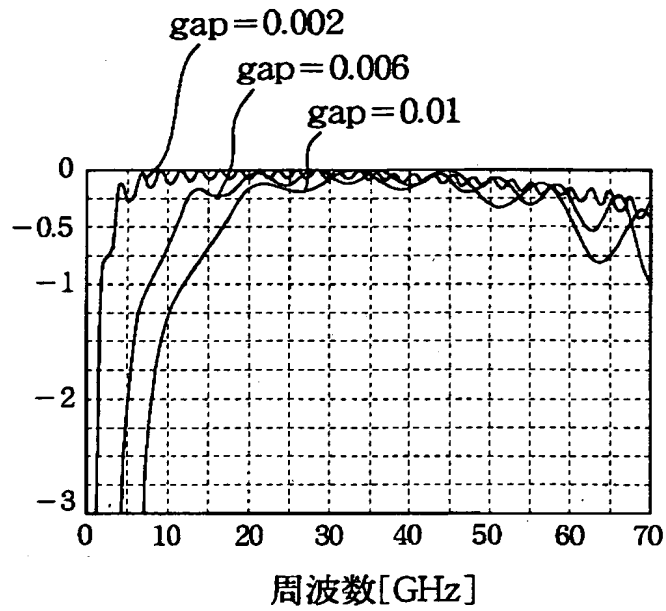
(a) S21



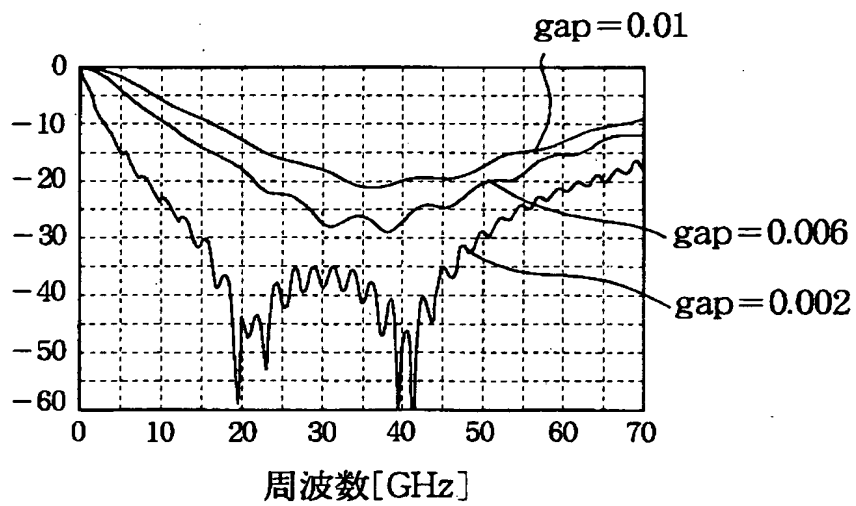
(b) S11



【図 23】



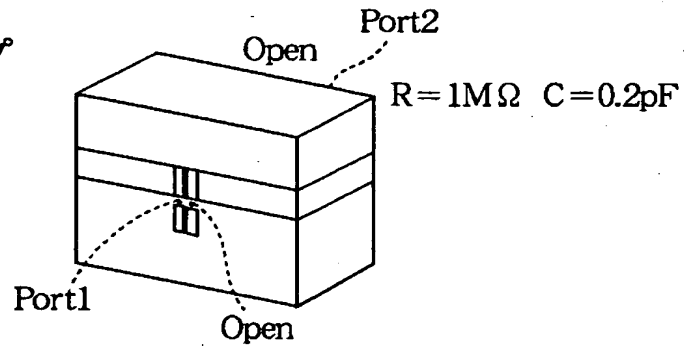
(a) S21



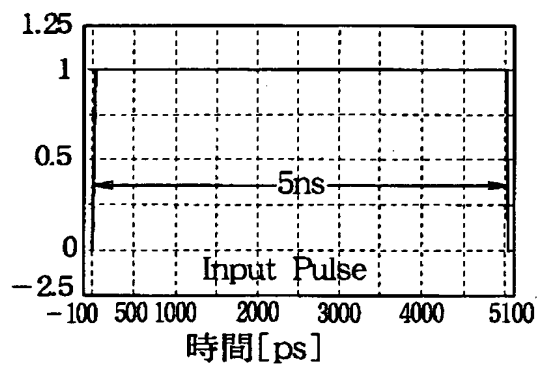
(b) S11

【図 24】

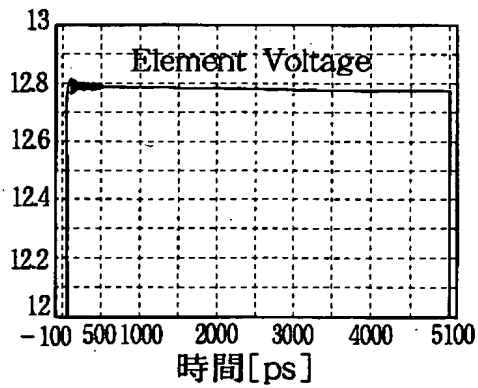
(a) 高誘電体挿入タイプ



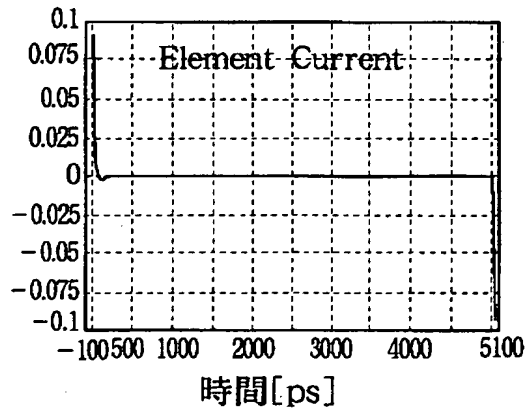
(b) 入力パルス



(c) 出力電圧

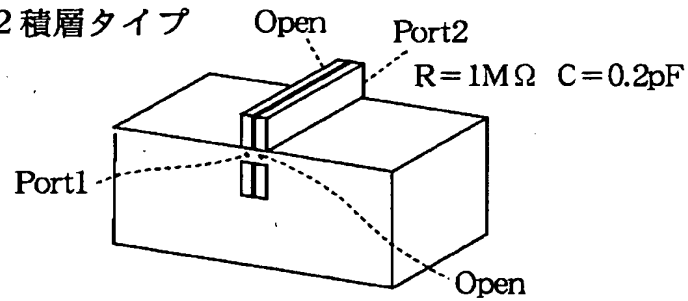


(d) 出力電流

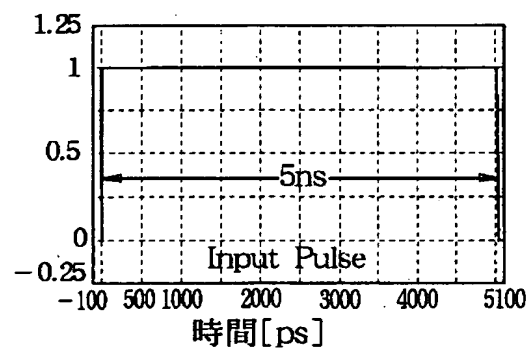


【図 25】

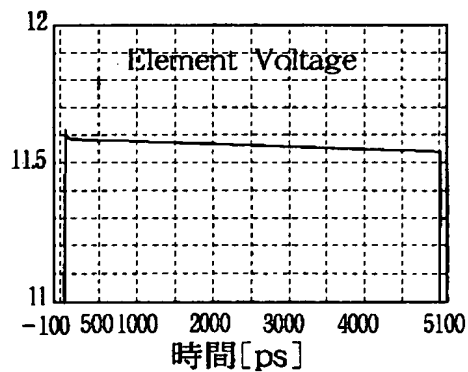
(a) 誘電率 1 : 3.2 積層タイプ



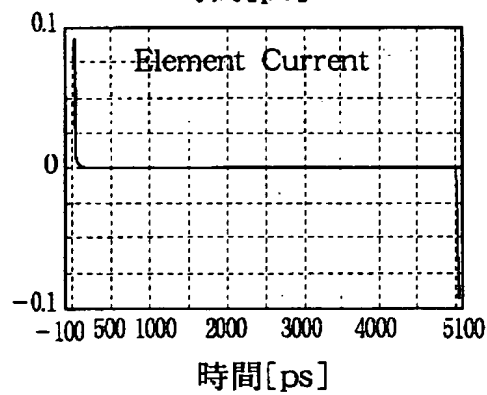
(b) 入力パルス



(c) 出力電圧



(d) 出力電流



【書類名】 要約書

【要約】

【課題】 デジタル信号の伝送装置の消費電力を低減する。

【解決手段】 R C 遅延が無視できない配線を伝送線路構造にしたものであって、送端に入力されたデジタル信号を伝送する信号伝送線路 1 と、上記デジタル信号を出力するインバータ構造のドライバ 2 と、上記ドライバに電源供給する伝送線路であって、上記ドライバのオン抵抗と上記信号伝送線路の特性インピーダンスの合計をドライブ可能な特性インピーダンスの電源グランドペア伝送線路 3 と、上記信号伝送線路の受端を介して入力された上記デジタル信号を検知する差動アンプ構造のレシーバ 4 と、上記信号伝送線路の受端に設けられ、入力された上記デジタル信号の直流成分を遮断し、広帯域交流成分を通過させる方向性カプラ 5 a とを備える。方向性カプラを、上記信号伝送線路の送端と上記ドライバの間、または上記送端と上記ドライバの間および上記受端にそれぞれ設けることも可能である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [598042633]

1. 変更年月日 1998年 3月31日

[変更理由] 新規登録

住 所 東京都東大和市湖畔2-1074-38

氏 名 大塚 寛治

出 願 人 履 歴 情 報

識別番号 [598168807]

1. 変更年月日 1998年12月 8日

[変更理由] 新規登録

住 所 東京都国分寺市西町2-38-4

氏 名 宇佐美 保

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社



出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社
2. 変更年月日 2003年 5月15日  
[変更理由] 名称変更  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日  
[変更理由] 名称変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社



出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地

氏 名 ローム株式会社